

## (12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004年10月7日 (07.10.2004)

PCT

(10) 国際公開番号  
WO 2004/086625 A1(51) 国際特許分類<sup>7</sup>:

H03K 19/20

(21) 国際出願番号:

PCT/JP2004/004379

(22) 国際出願日:

2004年3月26日 (26.03.2004)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願2003-086499 2003年3月26日 (26.03.2003) JP

(71) 出願人(米国を除く全ての指定国について): 独立行政法人科学技術振興機構 (JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目1番8号 Saitama (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 菅原聰 (SUGAHARA, Satoshi) [JP/JP]; 〒2310821 神奈川県横浜市中区本牧原21-1-603 Kanagawa (JP). 松野知紘 (MATSUNO, Tomohiro) [JP/JP]; 〒1140023 東京都北区滝野川1-21-6 1111号 Tokyo (JP). 田中 雅明 (TANAKA, Masaaki) [JP/JP]; 〒3360921 埼玉県さいたま市緑区沼方647-6-201 Saitama (JP).

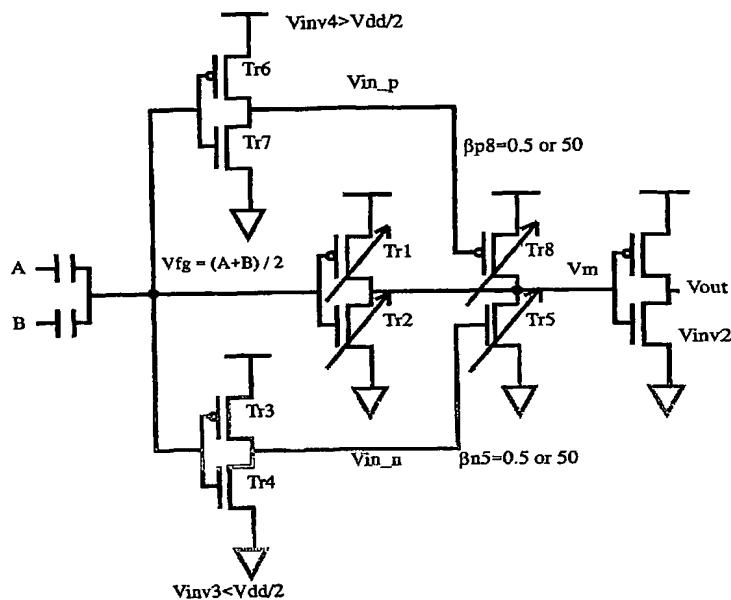
(74) 代理人: 平木祐輔, 外 (HIRAKI, Yusuke et al.); 〒1050001 東京都港区虎ノ門一丁目17番1号 虎ノ門ヒルズ3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,

(統葉有)

(54) Title: RECONFIGURABLE LOGICAL CIRCUIT USING TRANSISTOR HAVING SPIN-DEPENDENT TRANSMISSION CHARACTERISTIC

(54) 発明の名称: スピン依存伝達特性を有するトランジスタを用いた再構成可能な論理回路



(57) Abstract: A nonvolatilley reconfigurable logical circuit is built. It is a reconfigurable logical circuit based on the CMOS configuration using the spin MOSFET. By changing the transmission characteristic of each transistor in accordance with the magnetization states of Tr1, Tr2, Tr5, and Tr8 which are spin MOSFETs, it is possible to reconfigure all the two-input symmetric functions AND/OR/XOR/NAND/NOR/XNOR "1" / "0". Since it is possible to constitute the logical function by a small number of non-volatile elements, it is possible to reduce the chip area, thereby increasing the speed and reducing the power consumption.

(57) 要約: 不揮発に再構成可能な論理回路を構成する。スピンMOSFETを用いたCMOS構成による再構成可能な論理回路である。スピンMOSFETであるTr1、Tr2、Tr5、Tr8の伝達特性を変更することにより、すべての二入力対称機能AND/OR/XOR/NAND/NOR/XNOR "1" / "0"を構成可能である。非volatile要素による論理回路構成により、チップ面積を削減し、速度を向上させ、消費電力を削減することができる。

(統葉有)



ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 國際調査報告書

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ(AT, BE, BG, CH, CY,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

---

⑧ 8の磁化状態によりそれぞれのトランジスタの伝達特性を変化させることでAND/OR/XOR/NAND/NOR/XNOR/"1"/"0"の全2入力対称関数が再構成可能である。不揮発かつ少素子数で論理機能を構成できるため、チップ面積の縮小化が可能であり、高速・低消費電力動作が期待できる。

## 明細書

## スピニン依存伝達特性を有するトランジスタを用いた再構成可能な論理回路

## 技術分野

本発明は、機能を再構成可能な論理回路に関し、より詳細には、内部に強磁性体を含み強磁性体の磁化状態に依存する伝達特性を有するトランジスタ（以下、「スピントランジスタ」と称する。）を用いた再構成可能な論理回路に関する。

## 背景技術

近年、ユーザのプログラムによって機能の再構成可能（リコンフィギュラブルまたはリプログラマブル）な論理回路が注目されている。例えば、これをL S I技術で実現した Field Programmable Logic Array (F P G A) が用いられることが多い（例えば S. Trimberger, Proc. IEEE 81 (1993) 1030., S. Hauck, Proc. IEEE 86 (1998) 625.、および末吉敏則：プログラマブルロジックデバイス、電子情報通信学会技術研究報告, Vol. 101, No. 633, (2002) 17. 参照）。従来は、F P G Aは製品の試作や一部の限られた製品に用いられてきたが、最近では納期の早さと製品出荷後の機能の書き換えが可能なことが注目されており製品開発のサイクルの短い携帯電話などモバイル機器における最終部品としても組み込まれている。また、演算ごとにハードウェアを再構成する新しいアーキテクチャの情報機器としても研究が行われている。

F P G Aの構成にはいくつかあるが、その中でも比較的大規模化が可能であり柔軟性も高い、S R A Mによる真理値表参照型（Look Up Table (L U T) 方式）が多く採用されている。この構成は、任意の関数を実現できるL U Tからなる小規模の論理ブロックをマトリックス状に配置し、そのブロック同士をスイッチ（例えばパストランジスタ）により変更可能な配線で接続するものである（図5 6 (A) 参照）。

L U Tのレジスタに書き込む値と配線のスイッチを書き換えることで所望

の論理回路を実現する。論理ブロックは、LUTと同期をとるためのフリップフロップ（FF）からなる（図56（B））。LUTには、与えられた入力のパターンとアドレスとを対応させるためのデコーダ回路、そのアドレスのレジスタに値を記憶するためのメモリ（SRAMセル）が含まれる。図56（C）には2入力対称関数が実現できるLUT回路の例を示した。

SRAMは揮発性メモリであり、電源を切ると記憶情報が失われる。そこで、データの保持のため、外部に不揮発性メモリ（例えばフラッシュメモリ）を用意しておき、電源を再投入する毎にその情報をロードして用いる。

最近、LUT方式のFPGAとはまったく異なる原理に基づく再構成可能な論理回路として、論理回路ブロックにニューロンMOS（以下、「 $\nu$ MOS」と称する）構造を応用した回路の研究がなされている（例えばT. Shibata and T. Ohmi: IEEE Trans. Electron Dev. ED-39 (1992) 1444, and IEEE Trans. Electron Dev. ED-40 (1993) 750.、および澤田宏、青山一生、名古屋彰、中島和夫：ニューロンMOSを可変論理部に用いた再構成可能デバイスに関する検討、電子情報通信学会技術研究報告, Vol. 99, No. 481, (1999) 79. 参照）。 $\nu$ MOSを用いると、対称関数が効率よく実現できる。LUT方式と比べて機能は限定されるが、論理設計においては対称関数が多く出現することなどから注目されている。

図56は、2入力対称関数の実現可能な論理回路の構成例を示す図である。この論理回路は、 $\nu$ MOS構造を用いた3つのプレインバータ201、203及び205と、 $\nu$ MOS構造を用いた1つのメインインバータ207とを有している。入力部となるプレインバータでは、複数の等しい容量を介して複数のデジタル値が入力される。また、各インバータ201、203、205及び207においては、論理閾値が異なっており、図中、 $V_k/n$ と記載されている場合は、そのインバータへの入力数がnであり、論理閾値が“1”論理レベルに対して $V_k/n$ であることを表している。

A、Bが入力で、 $C_k$ （ $k = 0, 1, 2$ ）が制御信号の入力である。この $C_k$ により、メインインバータ207への入力を操作することにより、任意の対称関数を実現する。この回路の動作は、 $C_k = “1”$ とすると入力中“1”的数

が  $k$  個のときのみ出力が “0” となり、それ以外の場合は出力が “1” となる。例えば、 $C_0 = C_2 = “1”$ 、 $C_1 = “0”$  とすると、“1”的数が 0 個 ( $A = B = “0”$ ) と、“1”的数が 2 個 ( $A = B = “1”$ ) のとき出力が “0” で、“1”的数が 1 個 ( $A \text{ or } B = “1”$ ) のとき出力が “1” の X<sub>O</sub>R 論理回路となる。

## 発明の開示

以上に説明した F P G A の論理ブロックには以下に述べる問題がある。すなわち、L U T 方式、 $\nu$  M O S を用いた論理ブロックには、特に論理機能の揮発性に関して課題がある。また、素子数（占有面積）に関しても以下のよ うな課題を生じることがある。

まず、L U T 方式の論理ブロックの課題に関して説明する。L U T 方式では、回路の機能自体には論理を再構築するための書き換え能力はなく、レジスタの値を参照するものである。L U T には S R A M を用いるため、S R A M の揮発性に由来する問題点が存在する。L U T の内容、すなわち論理機能は、電源を切ると失われてしまう。製品に組み込む場合は、データを保持するためには外部に膨大な記憶容量の不揮発性メモリが必要であり、チップ全体の面積が大きくなるばかりか、電源再投入の際の立ち上げ時間が長くなり、消費電力にも影響する。

また、論理ブロック内部にも、たとえばデコーダ及び複数個のトランジスタから成る S R A M セルから構成されるために多くの素子（2 入力対称関数の場合、例えば図 5 6 (C) の回路であれば 40 個程度のトランジスタが必要であり、論理ブロックの占有面積が大きくなるという問題点もある。

次に、 $\nu$  M O S を用いた論理ブロックの課題について説明する。この論理ブロックは、L U T 方式と異なり、制御信号により回路の動作を書き換えることができる。2 入力では素子数は 8 個の M O S F E T 及び 14 個のキャパシタで構成され、L U T 方式に比べて半分程度の素子数で同等の回路を構成することが可能である。しかし、 $\nu$  M O S に用いるキャパシタの占有面積は小さくない。また、回路の機能を維持するために、使用中は、常に制御信号

を与え続けなければならない。電源電圧以外の大きさの制御信号とこれを制御するための制御回路（コントローラ）も必要となる。また、不揮発に機能を記憶することはできないため、LUT方式と同様に論理機能の不揮発保持に問題がある。

本発明の目的は、不揮発で再構成可能な回路を少ない素子数で実現することにより、回路の小型化、低消費電力化を図ることである。

本発明に係る回路では、伝導キャリアの спинの向き又はトランジスタの内部に含まれる強磁性体の磁化状態に依存する伝達特性を有するトランジスタ（以下、「スピントランジスタ」と称する。）を用いて、その入力部にνMOSを用いる。スピントランジスタの磁化状態を制御してトランジスタの駆動力を変化させることにより、回路の動作点を操作して機能を書き換える。素子の特性を変化させるという点で、完全にハードウェア的に機能が書き換えられる新しい概念に基づく回路である。不揮発に論理機能を保持できること及び論理機能の切り換えに制御信号を必要としない点が、νMOSのみを用いた論理ブロックとは異なる。しかもスピントランジスタ中の強磁性体により回路の機能を不揮発的に記憶できる。本発明の論理回路を用いることにより、FPGAにおける上記の課題を解決できる。

不揮発性に関して説明する。回路の機能は、スピントランジスタに含まれる強磁性体の磁化状態により決定される。従って、電源を切っても磁化状態は変わらないため論理機能は不揮発に保たれる。そのため、従来のFPGAにおいて必要な外部の不揮発性メモリのうち、論理ブロック部に関する部分が不要となる。チップサイズの縮小化に関して有利であり、さらに、論理機能をロードするための時間を必要としないため、立ち上げに要する時間も短縮される。

論理ブロックに含まれる素子数は、本発明に係る回路では、9～11個のMOSFETと2つのキャパシタで構成され、素子数は、LUT方式の3分の1以下に減少する。νMOSのみを用いる論理ブロックと比べても半分程度の素子数である。外部の不揮発性メモリは配線部に関するもののみでよいので、全体で素子の数は従来の回路と比べて非常に少なくなる。

また、論理ブロック間を接続する配線の選択に用いるスイッチとしてスピントランジスタを用いることもできる。特に、このスイッチとして下記に述べるスピンMOSFETを用いることで、論理ブロック間の相互配線も不揮発に記憶することができる。この場合では、配線部に関しても不揮発性メモリが不用になる。スイッチに用いるスピンMOSFETとしてはエンハンスマント型の他にデヨプレッション型も使用できる。さらにpチャネル型およびnチャネル型スピンMOSFETで構成したトランスマッゲートも使用できる。

本発明の一観点によれば、伝導キャリアのスピノの向きまたはトランジスタ内部に含まれる強磁性体の磁化状態に依存する伝達特性を有するスピントランジスタを含む回路であって、前記伝導キャリアのスピノの向きまたは前記強磁性体の磁化状態を変えることにより変化する前記トランジスタの伝達特性を変化させることにより動作点を変化させて機能を再構成することができる回路が提供される。

前記回路の出力端子に、A/Dコンバータを接続して出力端子におけるアナログの動作点をデジタル論理レベルに変換する。また、前記A/Dコンバータにスピントランジスタを含めることにより、スピントランジスタの磁化状態によって制御できる閾値を設定することによっても機能を再構成することができる。

尚、上記スピントランジスタの代わりに、他の伝達特性可変のトランジスタを用いて回路を構成することもできる。この場合でも、前記トランジスタの伝達特性を変化させることにより動作点を移動させて機能を再構成することができる。尚、ここでいう伝達特性可変とは、例えば $V_{ds}$ や $V_{gs}$ などのバイアス以外の物性量を変化させることで、トランジスタの伝達特性を不揮発的に変化させることを意味する。これにより、同じ条件でバイアスを加えても出力特性が異なる。このようなトランジスタは例えば強磁性体や強誘電体を用いることやフローティングゲート技術（フローティングゲートにキャリアを注入して、しきい値を変化させるなど）を用いることにより実現できる。上述したスピントランジスタはこのような伝達特性可変のトランジスタである。

ンジスタの1つである。

### 図面の簡単な説明

図1 (A)、(B) は、それぞれ本発明に係る回路の基本構成を示すプロック図である。

図2 (A) は、MOSFET型スピントランジスタ（以下、「スピンMOSFET」と称する。）の構造例を示す図であり、図2 (B) は、 $\nu$ MOS (B) の構造例を示す図である。

図3 (A) は、スピンMOSFETの理想化された静特性を示す図であり、図3 (B) は、ドレイン電流のゲート電圧依存性を示す図である。

図4は、図2 (B) に示す $\nu$ MOSトランジスの静特性を示す図であり、入力A、Bが、デジタル値の場合の静特性を示す図である。

図5(a)、(b)、(c)は、それぞれE/E構成、E/D構成、CMOS構成のインバータ構造を用いたAND/OR再構成可能論理回路である。

図6は、入力にCMOSインバータを用いたNAND/NOR再構成可能論理回路の構成例を示す図である。

図7は、ディプリーション型のnチャネル型スピンMOSFETを用いたAND/OR回路を示す図である。

図8は、ディプリーション型のnチャネル型スピンMOSFETを用いたAND/OR回路の動作曲線を示す図である。

図9は、ディプリーション型のnチャネル型スピンMOSFETを用いたAND/OR回路の真理値表である。

図10は、図7に示す回路にXNOR機能を加えた回路を示す図である。

図11は、図10に示す回路の第1の動作を示す図である。

図12は、AND/OR機能について説明する図であり、図12 (A) は動作曲線を示す図であり、図12 (B) はOR回路、図12 (C) はAND回路の真理値表を示す図である。

図13は、XNOR機能の動作曲線 (A) と真理値表 (B) を示す図である。

図14 (A) は、図10に示す回路の第3の動作を示す図であり、図14 (B) はその真理値表である。

図15は、全ての2入力対称関数が再構成可能な回路の回路構成を示す図である。

図16 (A) は、閾値可変インバータの回路構成を示す図であり、図16 (B) はその動作例を示す図である。

図17は、通常のCMOSインバータの閾値をpMOSの $\beta$ とnMOSの $\beta$ との比の関数としてプロットした図である。

図18は、AND/OR回路の回路構成例を示す図である。

図19は、図18に示す回路の第1の動作 (A) と、真理値表 (B) である。

図20は、図18に示す回路の第2の動作 (A) と、真理値表 (B) である。

図21は、AND/OR回路の回路構成例を示す図である。

図22 (A) は、図21における可変閾値インバータの特性を示す図であり、図22 (B) は真理値表である。

図23は、図22 (A)、(B) に対応する図であり、閾値を変化させた場合の動作と真理値表を示す図である。

図24は、AND/OR/XNOR回路の回路構成例を示す図である。

図25は、図24に示す回路のVin\_nの動作曲線を示す図である。

図26 (A) は、図24に示す回路の第1の動作を示す図であり、図26 (B) は真理値表である。

図27 (A) は、図24に示す回路の第2の動作を示す図であり、図27 (B) は真理値表である。

図28 (A) は、図24に示す回路の第3の動作を示す図であり、図28 (B) は真理値表である。

図29 (A) は、図24に示す回路の第4の動作を示す図であり、図29 (B) は真理値表である。

図30は、AND/OR/XOR/XNOR回路の構成例を示す図である。

図31は、図30に示す回路のVin\_pの動作点を動作を示す図である。

図32(A)は、図30に示す回路の第1の動作を示す図であり、図32(B)はその真理値表である。

図33(A)は、図30に示す回路の第2の動作を示す図であり、図33(B)はその真理値表である。

図34(A)は、図30に示す回路の第3の動作を示す図であり、図34(B)はその真理値表である。

図35(A)は、図30に示す回路の第4の動作を示す図であり、図35(B)はその真理値表である。

図36は、スピノMOSFETを用いた再構成可能論理回路の構成例を示す図である。

図37は、NAND/NOR回路の回路構成を示す図である。

図38は、図37に示す回路の動作点とインバータの特性を示す図である。

図39は、図37に示す回路の真理値表である。

図40は、NAND/NOR/XNOR回路の回路図である。

図41は、図40に示す回路のVin\_nの動作点を示す図である。

図42(A)は図40に示す回路の第1の動作を示す図であり、図42(B)は、その真理値表である。

図43(A)は図40に示す回路の第2の動作を示す図であり、図43(B)は、その真理値表である。

図44は、NAND/NOR/XNOR/XOR回路の回路図である。

図45は、図44に示す回路のVin\_pの動作点を示す図である。

図46(A)は図44に示す回路の第1の動作を示す図であり、図46(B)は、その真理値表である。

図47(A)は図44に示す回路の第2の動作を示す図であり、図47(B)は、その真理値表である。

図48は、NAND/NOR回路の構成例を示す図である(E/E構成)。

図49は、図48に示す回路の動作を示す図である。

図50は、図48に示すNOR回路とNAND回路の真理値表である。

図 5 1 (A) は、NAND/NOR/XNOR回路の構成例を示す図であり、図 5 1 (B) は、 $V_{in_n}$  の動作点を示す図である。

図 5 2 (A) は、図 5 1 (A) に示す回路の第 1 の動作を示す図であり、図 5 2 (B) は、図 5 2 (A) の真理値表である。

図 5 3 (A) は、図 5 1 (A) に示す回路の第 2 の動作を示す図であり、図 5 3 (B) は、図 5 3 (A) の真理値表である。

図 5 4 (A) は、図 5 1 (A) に示す回路の第 3 の動作を示す図であり、図 5 4 (B) は、図 5 1 (A) の真理値表である。

図 5 5 は、全ての 2 入力対称関数が再構成可能な回路の回路構成を示す図である。

図 5 6 は、2 入力対称関数が実現可能な論理回路の構成例を示す図である。

図 5 7 (A) は、任意の関数を実現できる LUT と記憶素子とからなる小規模の論理ブロックをマトリックス状に配置し、そのブロック同士をスイッチ(例えばパストランジスタ)により変更可能な配線で接続する回路であり、図 5 7 (B) は、LUT と同期をとるためのフリップフロップ (FF) からなる回路であり、図 5 7 (C) は、2 入力対称関数が実現できる LUT 回路の例である。

### 発明を実施するための最良の形態

図 1 (A)、(B) を参照して本発明に係る回路の基本構成についてまず説明を行う。図 1 (A)、(B) に示すように、本発明に係る回路は、端子  $V_{in}$  (以下では “ $V_{in}$ ” を端子名としても用いるが、その電位としても用いることがある。) と、その端子  $V_{in}$  における寄生容量および次段の入力容量を充電するための回路群 P と、放電するための回路群 Q と、アナログ電圧  $V_{in}$  をデジタル論理レベルに増幅する A-D コンバータとを主要構成要素とする。 $V_{in}$  は入力信号 A、B の値によって決まり、次段の回路には依存せずに決まる。

図 1 (A) に示すように、回路群 P と回路群 Q のうち少なくとも一方にスピントランジスタが含まれ、スピントランジスタの磁化状態によって電流駆動能力を制御できる。このため、入力 A、B が同じ値であっても、スピント

ランジスタの磁化状態によって異なる  $V_{\text{th}}$  をとる。スピントランジスタの磁化の状態によって生じる  $V_{\text{th}}$  の変化を、ある一定の論理閾値を持つ A/D コンバータでデジタル論理レベルに増幅することにより、再構成可能な論理回路となる。又はスピントランジスタを用いた論理閾値を可変できる A/D コンバータにより、再構成可能論理回路を構成することもできる。

図1 (B)に示す回路は、入力に等しく重み付けされた2入力の  $\text{\textnu}MOS$  構造を用いている。対称関数においては、入力信号A、Bは、それぞれ区別する必要がないため、等しく重み付けされた2入力の  $\text{\textnu}MOS$  構造を用いることにより効率良く回路群に入力することができる。AとBを区別する必要がある場合には入力容量の重み付けをAとBとで変えることで実現できる。

本発明に係る回路は、強磁性金属などの強磁性体を内部に含み、伝導キャリアの спинの向きまたは強磁性体の磁化状態によって伝達特性を制御できるスピントランジスタを用いた不揮発性の再構成可能な回路、主として論理回路である。スピントランジスタを用いて少ない素子数で2入力の対称関数を実現することができる。

まず、スピントランジスタについて説明する。スピントランジスタは、磁化の向きを磁場等によって独立に制御できる強磁性体(フリー層)と磁化の向きを固定した強磁性体(ピン層)を少なくとも一つずつ有し、フリー層の磁化の向き変えることによってフリー層とピン層との相対的な磁化状態を平行磁化又は反平行磁化にすることができるトランジスタである。

以下、スピントランジスタについて、MOSFET型スピントランジスタ（以下、「スピンMOSFET」と称する。）を例にして説明する。スピンに依存する伝導現象を含むが、トランジスタ動作は通常のMOSFETと同等

の動作原理に基づくとして、特に、その出力特性はグラジュアルチャネル近似で表現できるものとする。

図2 (A) は、スピニMOSFETの構造例を示す図である。図2 (A) に示すように、スピニMOSFET (A) は、半導体 (基板) 1 上に形成されており、ソース電極3とドレイン電極5とが強磁性体により形成されている点以外は、ゲート絶縁膜11上にゲート電極7が形成されている点を含めて通常のMOSFETと同様の構造を有している。以下、強磁性体のソース電極と強磁性のドレイン電極とを、それぞれ強磁性ソース3と強磁性ドレイン5と略記する。尚、図において、FMは強磁性金属を表すが、他の電気伝導性強磁性体を用いても、ソースとドレインを構成できる。

強磁性ソース3は、スピニ偏極キャリアを半導体1中のゲート下に形成されたチャネルに注入するスピニインジェクタとして働く。また、強磁性ドレイン5はチャネルに注入されたスピニの向きを電気信号として検出するスピニアナライザとして働く。強磁性体として強磁性金属 (FM) を用いる場合には、半導体 (基板) 1とのショットキー接合を用いて強磁性ソース3と強磁性ドレイン5とを形成する。ゲート電極7に対してゲート電圧を印加することにより、ショットキー障壁を介して強磁性ソース3からチャネルにスピニ偏極キャリアを注入する。

注入されるスピニ偏極キャリアはチャネルを通って強磁性ドレイン5に到達する (簡単のため、チャネルに注入されたスピニ偏極キャリアのゲート電界によるRashba効果を無視する)。ソースードレイン間が平行磁化を持つ場合は、強磁性ドレイン5に注入されたスピニ偏極キャリアは、スピニ依存散乱を受けることはなくドレイン電流となるが、反平行磁化を持つ場合は、強磁性ドレイン5でスピニ依存散乱による抵抗を受ける。従って、このスピニMOSFETではソースードレイン間の相対的な磁化の向きによって電流駆動力が異なる。

図3 (A) 及び図3 (B) に、スピニMOSFETの理想化された静特性を示す。閾値以下のゲート電圧 ( $V_{gs} < V_{th}$ ) では、通常のMOSトランジスタの場合と同様にスピニMOSFETはOFF状態である。これはスピニMOS

FETの磁化状態に依存しない。閾値以上のゲート電圧を印加すると、( $V_{gs} = V_{gsl} > V_{th}$ )、スピニMOSFETはON状態となるが、同じゲート電圧を印加した場合であっても、スピニMOSFET内に含まれる強磁性体の磁化状態によって流れるドレイン電流  $I_d$  は異なる。平行磁化の場合では大きなドレイン電流  $I_{d1}$  が流れ、反平行磁化の場合では小さなドレイン電流  $I_{d11}$  しか流れない。スピニMOSFETのドレイン電流が通常のMOSFETと同様のゲイン係数を用いて表現できると仮定すると、これは、平行磁化の場合ではゲイン係数が大きく、反平行磁化ではゲイン係数が小さいことを意味する。以下では、スピニMOSFETおよびMOSFETのゲイン係数を表す相対的なパラメータ  $\beta$  を導入する。すなわち、回路に含まれるスピニMOSFETおよびMOSFETのゲイン係数を  $\beta_{G1}, \beta_{G2}, \dots, \beta_{GN}$  とすると(スピニMOSFETでは平行磁化と反平行磁化のゲイン係数をそれぞれ別に定義する)、1つのゲイン係数  $\beta_{G1}$  を用いて、各スピニMOSFETおよびMOSFETのゲイン係数は  $\beta_{G1} = \beta_1 \beta_{G1}, \beta_{G2} = \beta_2 \beta_{G1}, \beta_{G3} = \beta_3 \beta_{G1}, \dots, \beta_{GN} = \beta_N \beta_{G1}$  と書ける。この係数  $\beta_1 (= 1), \beta_2, \dots, \beta_N$  を用いて各トランジスタ間のゲイン係数の大小関係を表現する。また、各  $\beta_1, \beta_2, \dots, \beta_N$  の大小関係を適當な数字を用いて表現するが、この数値は  $\beta$  の大小関係を表現するための例示であって、これら数値自体が発明を限定するものではない。さらに、これら  $\beta_1, \beta_2, \dots, \beta_N$  の大小関係は、スピニMOSFETの出力特性が通常のMOSFETの出力特性を用いて表現できない場合も含めて、MOSFETおよびスピニMOSFETに同じバイアスを加えたときの出力電流の大小関係を例示しているものとする。

次に、 $\nu$ MOS構造について図2 (B) 及び図4を参照しつつ説明する。図2 (B) に示すように、 $\nu$ MOS構造を用いたMOSFET (B) は、半導体11に対して形成されたソース13及びドレイン15と、ゲート絶縁膜20を介してフローティングゲート21と、分割された2つのゲート電極17aと17bとを有している。上述のように、 $\nu$ MOSのゲート17a、17bに入力、例えば、図のAとBとがゲート電極とフローティングゲートとの入力容量を介して入力される。このゲート電極とフローティングゲートと

の間の大きさを変えることにより入力に重みを付けることができる。ここでは、全ての入力容量が等しい場合を例にして説明する。

図2 (B) に示す2入力の $\eta$ MOS構造において、フローティングゲート21の電位 $V_{fg}$ は、ゲート容量を無視できる場合にはキャパシタンスのカシプリングによって $V_{fg} = (A + B) / 2$ となり入力の平均値で示される。同様に、2入力以上の多入力( $n$ 入力( $n > 2$ ))の場合では、 $\eta$ MOSに、 $n$ 入力の平均がフローティングゲートに入力されるのと等価であると考えて良い。入力A、Bが、デジタル値の場合の静特性を図4に示す。入力がアナログであっても良い。図4に示すように、 $A = B = "0"$ の場合には、ドレン電流 $I_d$ はほとんど流れない。 $A = B = "1"$ の場合には、ドレン電流 $I_d$ が流れる。A又はBのうちの一方のみが“1”的場合には、上記場合の約半分のゲート電圧が印加された場合のドレン電流が流れる。対称関数においては、入力信号A、Bは、それぞれ区別する必要がないため、等しく重み付けされた2入力 $\eta$ MOSを用いることにより効率良く回路群に入力することができる。

$\eta$ MOS構造を用いた入力と、回路群Pと回路群Qとの回路構成として、スピノMOSFETとMOSFETからなるE/E構成、E/D構成、CMOS構成のインバータ構造を用いればAND/OR再構成可能論理回路が実現できる。図5(a)、(b)、(c)は、それぞれE/E構成、E/D構成、CMOS構成のインバータ構造を用いたAND/OR再構成可能論理回路である。以下では、矢印を付したトランジスタ記号を用いてスピノMOSFETを表す(以下同様)。図ではスピノMOSFETはE/E構成、E/D構成、CMOS構成のインバータのアクティブロード(Q2)に用いているが、ドライバ(Q1)をスピノMOSFETとしてもよい。また、アクティブロード(Q2)とドライバ(Q1)の両方をスピノMOSFETとすることもできる。入力の $\eta$ MOS構造はE/E構成、E/D構成ではドライバ(Q1)側に用いる。CMOS構成では、Q2とQ1に共通のフローティングゲートを用いて入力の $\eta$ MOS構造を実現する。また、出力段のインバータは $V_m$ における出力を“1”と“0”的論理レベルに切り分けるのに用いる。すなわち、

このインバータはADコンバータとして働く。図5のアクティブロードQ2が回路群Pを、ドライバQ1が回路群Q2を構成する。さらに、図5の回路の $V_m$ に作用して $V_m$ の電位を制御する別の回路を回路群Pと回路群Qに付け加えることによって、複雑な再構成可能な論理回路を実現できる。

また、図6に示すように、キャパシタによる容量カップリングを用いず、複数のCMOSインバータを入力に用いても $\gamma$ MOS構造と同等の動作を実現することができる。ただし、この場合では図5の論理関数を反転した論理関数が出力される。

次に、本発明の第1の実施の形態による再構成可能な論理回路について図面を参照しつつ説明を行う。本実施の形態による論理回路は、エンハンスマント型MOSFETとディプリーション型MOSFETとを用いたいわゆるE/D構成インバータの回路のドライバまたはアクティブロードをスピinnMOSFETで置き換える。ドライバを置き換える場合にはエンハンスマント型のスピinnMOSFETを、アクティブロードを置き換える場合にはディプリーション型のスピinnMOSFETを用いる。入力の $\gamma$ MOS構造はドライバに用いる。出力段のインバータは通常CMOSインバータが最も性能がよいが、他のE/D構成など他の構成のインバータも使用できる。

E/E構成では負荷曲線はドライバに生じる電圧によって変化してしまうが、E/D構成を用いると、アクティブロードによる負荷曲線が飽和するため、論理論理マージンを大きくすることが出来る。

### 1) AND/OR回路

図7から図9までを参照して、ディプリーション型のnチャネル型スピinnMOSFETを用いたAND/OR回路について説明する。図7において、Tr1がディプリーション型のnチャネル型スピinnMOSFETで、反平行磁化と平行磁化の場合でそれぞれ $\beta_{n1}=1$ 又は10をとることができるとする。Tr1のソースとゲートとが短絡されているため、図8の実線で示すように $V_m$ に対して飽和した負荷曲線が得られる。Tr2の入力に $\gamma$ MOS構造を用い、その動作は図8に破線で示すようになる。図9(A)及び図9(B)はこの回路の真理値表である。また、その動作の詳細を表1にまとめる。

表 1

$\beta_{n1}$	$V_m$				$V_{out}$ ( $V_m$ の順に)	機能
		A	0	0		
B	0	1	1			
1	$V_0$ ("1")	$V_p$ ("0")	$V_q$ ("0")		"0" "1" "1"	OR
10	$V_0$ ("1")	$V_r$ ("1")	$V_s$ ("0")		"0" "0" "1"	AND

OR回路として動作させる場合には、スピニMOSFETを反平行磁化にして電流駆動能力の小さな  $\beta_{n1}=1$  の状態にしておく。ここで、A=B="0" のとき、動作点  $V_m$  は図8から  $V_0$  となるので出力  $V_{out}$  は反転増幅されて "0" となる。A又はB="1" (以下、(A, B) = ("1", "0") または (A, B) = ("0", "1") を「A又はB="1"」と略記する) のとき、動作点  $V_m$  は  $V_p$  となるから、出力  $V_{out}$  は "1" となる。A=B="1" のときでは、動作点  $V_m$  は  $V_0$  となり出力  $V_{out}$  は "1" となる。

AND回路として動作させる場合には、スピニMOSFETを平行磁化にして電流駆動能力の大きな  $\beta_{n1}=10$  の状態にする。ここで、A=B="0" のとき、動作点  $V_m$  は  $V_0$  となるから出力  $V_{out}$  は "0" となる。A又はB="1" のときでは、動作点  $V_m$  は  $V_r$  となり、出力  $V_{out}$  は "0" となる。A=B="1" のときでは、動作点  $V_m$  は  $V_s$  となり出力  $V_{out}$  は "1" となる。

## 2) AND/OR/XNOR回路

図7に示す回路にXNOR機能を加えた回路を図10に示す。XNORは、A又はB="0" と A=B="1" では入出力関係がANDと等しく、A=B="0" のとき  $V_{out} = "1"$  ( $V_m = "0"$ ) となる回路がQ群として追加される。Tr3~Tr5までがその追加部分である。インバータを構成するTr3とTr4はレベルシフタとして働く。図11に示すように、A=B="0" のときのみTr5が導通する(オン状態となる)。Tr5はスピニMOSFETであるが、磁化状態による  $\beta_{n5}$  の変化はTr1の  $\beta_{n1}$  よりも大きく変化するように設定し、例えば反平行磁化と平行磁化のそれぞれで  $\beta_{n5}=0$ 。

5又は50とする。平行磁化の場合では  $\beta_{n5} = 50$  となり、十分大きな電流 ( $I_{d\_high}$ ) が流れるが、反平行磁化の場合では  $\beta_{n5} = 0.5$  となり、電流値 ( $I_{d\_low}$ ) は非常に小さい。図12 (A) から図14 (B) までに、各  $\beta$  における動作点  $V_{in}$  を示す。実線は  $Tr2$  と  $Tr5$  とに流れる電流の和であり、 $I_{d\_low}$  は無視できると仮定した。表2に  $\beta_{n1}$ 、 $\beta_{n5}$  と回路機能の関係をまとめた。

表2

$\beta_{n1}$	$\beta_{n5}$	$V_{in}$	$V_{out}$			機能
			A	0	0	1
B	0	$V_0$ ("1") $V_P$ ("0") $V_Q$ ("0")	0	1	1	
10	0.5	$V_0$ ("1") $V_R$ ("1") $V_S$ ("0")	0	0	1	AND
1	50	$V_T$ ("0") $V_R$ ("1") $V_S$ ("0")	1	0	1	XNOR
10	50	$V_U$ ("0") $V_R$ ("0") $V_V$ ("0")	1	1	1	all "1"

まず図12を参照してAND/OR機能について説明する。 $Tr5$ を、反平行磁化にして電流駆動能力の極めて小さな状態 ( $\beta_{n5} = 0.5$ ) にしておけば、流れる電流  $I_{d\_low}$  を無視することができるため、この部分は開放とみなせる。そのため、図7に示す回路と同様の回路となり、AND(図12 (C)) /OR(図12 (B)) 機能を保つことができる。

次に、XNOR機能について図13 (A)、(B) を参照して説明する。 $Tr5$ を平行磁化にして電流駆動能力を高い状態 ( $\beta_{n5} = 50$ ) にし、 $Tr2$  はANDと同じく平行磁化 ( $\beta_{n1} = 10$ ) にしておく。 $A = B = "1"$ 、 $A$ 又は $B = "1"$ では、上述のように $Tr5$ は開放と等価であるためANDと同じ動作をする。 $A = B = "0"$ のときは、 $Tr5$ の電流  $I_{d\_high}$  により  $V_{in}$  が放電されて  $V_{in} = V_{tr} < V_{inv}$ 、 $V_{out} = "1"$  となる。さらに、 $Tr1$ を反平行磁化 ( $\beta_{n1} = 1$ )、 $Tr5$ を平行磁化 ( $\beta_{n5} = 50$ ) としておくと、全ての入力に対して  $V_{out} = "1"$  となる(図14 (A)、(B))。この回路の特徴は、動作点  $V_{in}$  がいずれも0Vあるいは  $V_{dd}$  に近く、論理マージンが大きいことである。

### 3) AND/OR/XNOR/NAND/NOR/XOR機能

図15に示す回路では、出力にインバータ回路がもう一段追加されている。この回路の動作の詳細を表3に示す。基本的には図10に示す回路と同様であるが、 $V_{out}$ とその反転出力とにより全ての2入力対称関数を実現することができる。

表3

$\beta_{n2}$	$\beta_{n5}$	$V_{out}$			$\overline{V_{out}}$			機能	
		A	0	0	1	A	0	0	
		B	0	1	1	B	0	1	1
1	0.5	“0”	“1”	“1”	“1”	“0”	“0”	OR/NOR	
10	0.5	“0”	“0”	“1”	“1”	“1”	“0”	AND/NAND	
1	50	“1”	“0”	“1”	“0”	“1”	“0”	XNOR/XOR	
10	50	“1”	“1”	“1”	“0”	“0”	“0”	all “1” / all “0”	

次に、本発明の第2の実施の形態による再構築可能な論理回路について図面を参照しつつ説明を行う。本実施の形態による論理回路は、CMOS構成インバータのnチャネル型MOSFETとpチャネル型MOSFETのいずれか一方をスピノンMOSFETとするか、または両方ともスピノンMOSFETとすることで構成できる。入力に用いるnMOS構造はnチャネルデバイスとpチャネルデバイスに共通のフローティングゲートを構成するようとする。出力段のインバータはCMOS構成の通常のインバータで良い。

本発明の実施の形態によると、E/D構成と同様に動作曲線が飽和するため平論理マージンを大きくすることが出来る。また、低消費電力化に有効である。

### 1) 閾値可変インバータ

図16(A)は、論理閾値が可変のインバータの回路図である。通常のCMOSインバータのnチャネル型MOSFETと、pチャネルMOSFETをpチャネル型スピノンMOSFETに置き換えた回路である。ここで、pチャネル型スピノンMOSFETの電流駆動能力を反平行磁化と平行磁化の場合

のそれぞれで  $\beta_{\text{pinv}} = 1$  又は  $10$  とし、 $n$  チャネル型スピノンMOSFETの電流駆動能力は、 $1$  と  $10$  の間の値である。図16 (A) に示すインバータ回路における論理閾値は  $\beta$  の組み合わせに応じて変化する。例えば、図16 (B) では、 $\beta_{\text{pinv}}$  を固定し、 $\beta_{\text{pinv}} = 1$  又は  $10$  とした場合の両スピノンMOSFETの特性を示す図である。入力は一定であるが、出力  $V_{\text{out}}$  は、 $\beta_{\text{pinv}} = 1$  のときは  $V_L$  で Low レベルであり、 $\beta_{\text{pinv}} = 10$  のときは  $V_H$  で High レベルである。このように、出力  $V_{\text{out}}$  は、 $p$  チャネル型スピノンMOSFETの電流駆動により異なる。より定量的には以下のように説明できる。

図16 (A) に示すインバータ回路を通常のCMOSインバータと同様に考えることができる。この場合、論理閾値付近では  $p$  チャネル型スピノンMOSFET、 $n$  チャネル型スピノンMOSFETとともに飽和領域で動作している。 $n$  チャネル及び  $p$  チャネルのスピノンMOSFETに流れるドレイン電流  $I_d$  が等しいという条件で方程式を解くと次式が得られる。

数 1

$$V_{\text{inv}} = \frac{V_{dd} - |V_{thp}| + V_{thn} \sqrt{\beta_{\text{inv}}}}{1 + \sqrt{\beta_{\text{inv}}}}, \text{ ただし } \beta_{\text{inv}} = \frac{\beta_{\text{pinv}}}{\beta_{\text{pinv}}}$$

ここで、 $V_{dd} = 3.3$  V、 $V_{thp} = |V_{thp}| = 0.5$  V とし、論理閾値  $V_{\text{inv}}$  を、駆動力の比  $\beta_{\text{inv}} = \beta_{\text{pinv}} / \beta_{\text{pinv}}$  の関数として図17にプロットした。図17に示すように、 $\beta_{\text{inv}} = 0.1, 1, 1, 10$  に対応した論理閾値をとることができるのである。

## 2) AND/OR

図16に示した閾値可変インバータを用いたAND/OR回路を図18に示す。図18に示すように、AND/OR回路は、2段のインバータにより構成されており、入力側が閾値可変インバータであり、出力側は通常のインバータ（閾値は  $V_{\text{inv2}} = V_{dd} / 2$ ）である。図18に示す回路の動作特性を図19 (A) 及び図19 (B) に示す。実線は  $T_r 1$  の特性であり、破線は  $T_r 2$  の特性である。この回路の動作についての詳細を表4にまとめる。

表4

$\beta_{p1}$	$\beta_{n2}$	$V_m$				$V_{out}$ ( $V_m$ の順に)	機能
		A	0	0	1		
		B	0	1	1		
1	10		$V_0$ ("1")	$V_p$ ("0")	$V_Q$ ("0")	"0" "1" "1"	OR
10	1		$V_0$ ("1")	$V_R$ ("1")	$V_Q$ ("0")	"0" "0" "1"	AND

### 2-1) OR

図19 (A) 及び図19 (B) を参照してOR回路について説明する。OR回路として機能させる場合には、図18に示す回路において、Tr1を反平行磁化 ( $\beta_{p1}=1$ )、Tr2を平行磁化 ( $\beta_{n2}=10$ ) に設定する。図19 (A) から、A=B="0" のときには、動作点  $V_m$  は  $V_0$  となることから、出力  $V_{out}$  は反転増幅されて "0" となる。A又はB="1" のときには、動作点  $V_m$  は  $V_p$  となり、出力  $V_{out}$  は "1" となる。A=B="1" のとき、動作点  $V_m$  は  $V_0$  となり、出力は "1" となる。

### 2-2) AND

図20 (A) 及び図20 (B) を参照してAND回路について説明する。Tr1を平行磁化 ( $\beta_{p1}=10$ )、Tr2を反平行磁化 ( $\beta_{n2}=1$ ) にする。A=B="0" のときには、動作点  $V_m$  は  $V_0$  となることから出力  $V_{out}$  は反転増幅されて "0" となる。A又はB="1" のときには、動作点  $V_m$  は  $V_R$  となり出力  $V_{out}$  は "0" となる。A=B="1" のときでは、動作点  $V_m$  は  $V_Q$  となり、出力は "1" となる。

尚、図21から図23に示すように、入力側の閾値可変インバータ (Tr1とTr2からなるインバータ) の閾値  $V_{inv1}$  を基準に考えることもできる。以下にその場合の動作について説明する。

### 2-3) OR

図21に示す回路において、Tr1を反平行磁化 ( $\beta_{p1}=1$ )、Tr2を平行磁化 ( $\beta_{n2}=10$ ) にすると、図22 (A) に示すように論理閾値は  $V_{inv1}=V_{inv1\_low} < V_{dd}/2$  となる。図22 (A)、(B) に示すように、A=B="0" のと

き、 $V_{fg} = 0$  となるから、 $V_{in} = V_0 = "1"$  となり  $V_{out} = "0"$  となる。A 又は B = "1" のとき、 $V_{fg} = V_{dd} / 2 > V_{inv1\_low}$  であるから、 $V_{in} = V_p = "0"$  となり  $V_{out} = "1"$  となる。A = B = "1" のときでは、 $V_{fg} = V_{dd}$  であるため、 $V_{in} = V_0 = "0"$  となり、 $V_{out} = "1"$  となる。

#### 2-4) AND

図 21 に示す回路において、Tr 1 を平行磁化 ( $\beta_{p1} = 1.0$ )、反平行磁化 ( $\beta_{n2} = 1$ ) にすると、図 23 (A) に示すように論理閾値は  $V_{inv1} = V_{inv1\_high} > V_{dd} / 2$  となる。A = B = "0" のときでは、 $V_{fg} = 0$  であるから、 $V_{in} = V_0 = "1"$  となり、 $V_{out} = "0"$  となる。A 又は B = "1" のときでは、 $V_{fg} = V_{dd} / 2 < V_{inv1\_low}$  であることから、 $V_{in} = V_R = "1"$  となり、 $V_{out} = "0"$  である。A = B = "1" のときでは、 $V_{fg} = V_{dd}$  となることから、 $V_{in} = V_0 = "0"$  となり、 $V_{out} = "1"$  となる。

#### 3) AND/OR/XNOR

図 24 に AND/OR/XNOR 回路を示す。動作原理は図 10 の場合と同様である。XNOR は、A = B = "1" 及び A 又は B = "1" のときの入出力関係は AND と同じで、A = B = "0" のときのみ AND と異なり、 $V_{out} = "1"$  ( $V_{in} = "0"$ ) となれば良い。この機能は Tr 3、Tr 4、Tr 5 (n チャネル型スピノン MOSFET) で構成される回路を回路群 Q に加えることによって実現される。Tr 3、Tr 4 から成るインバータ (レベルシフタ) では、閾値  $V_{inv3}$  が  $V_{dd} / 2$  より低く設計されている。このため、A = B = "0" のときのみ、 $V_{in\_n} = "1"$  となり、Tr 5 がオンする。この Tr 5 の平行磁化と反平行磁化における電流駆動能力  $\beta_{n5}$  の変化は Tr 1、Tr 2 の場合に比べて大きく、 $\beta_{n5} = 0.5$  (反平行磁化) 又は 5.0 (平行磁化) とする。平行磁化 ( $\beta_{n5} = 5.0$ ) であれば十分大きな電流 ( $I_{d\_high}$ ) が流れるが、反平行磁化 ( $\beta_{n5} = 0.5$ ) であれば電流値 ( $I_{d\_low}$ ) は非常に小さい (図 25 の上下の図、参照)。

その詳細な動作について表 5 にまとめる。

表 5

$\beta_{p1}$	$\beta_{n2}$	$\beta_{n5}$	$V_m$				$V_{out}$ ( $V_m$ の順に)	機能
				A	0	0	1	
B	0	1	1					
1	10	0.5	$V_0$ ("1")	$V_P$ ("0")	$V_Q$ ("0")		"0" "1" "1"	OR
10	1	0.5	$V_0$ ("1")	$V_R$ ("1")	$V_Q$ ("0")		"0" "0" "1"	AND
1	10	50	$V_T$ ("0")	$V_P$ ("0")	$V_Q$ ("0")		"1" "1" "1"	all "1"
10	1	50	$V_S$ ("0")	$V_R$ ("1")	$V_Q$ ("0")		"1" "0" "1"	XNOR

3-1) AND/OR (図26(A)、(B)、図27(A)、(B) 参照)  
 $T_{r5}$ を反平行磁化 ( $\beta_{n5}=0.5$ ) に設定すれば、その電流  $I_{d_low}$  を無視することができ、 $T_{r5}$ を開放とみなせるので図18のAND/OR回路と等価になる。

### 3-2) XNOR (図29(A)、(B) 参照)

$T_{r5}$ を平行磁化 ( $\beta_{n5}=50$ ) に設定し、インバータ部分はANDと同じく  $Tr1$ を平行磁化 ( $\beta_{p1}=10$ )、 $Tr2$ を反平行磁化 ( $\beta_{n2}=1$ ) に設定する。 $A=B="1"$ 、 $A$ 又は  $B="1"$  では、 $T_{r5}$ は開放と等価なのでANDと同じ動作を行う。 $A=B="0"$  のときは  $T_{r5}$ の  $I_{d_high}$  により  $V_m$ が放電され、 $V_m=V_s < V_{inv2}$ となることから  $V_{out}="1"$  となる。尚、 $Tr1$ を反平行磁化 ( $\beta_{p1}=1$ )、 $Tr2$ を平行磁化 ( $\beta_{n2}=10$ )、 $Tr5$ を平行磁化 ( $\beta_{n5}=50$ )にしておくと、全ての入力パターンに対して  $V_{out}="1"$  となる(図28(A)、(B) 参照)。

図24に示す回路の出力にインバータを加えることで、全2入力対称関数を実現できるが、回路群Pに新たに回路を加えることで全2入力対称関数を実現する方法を示す。

### 4) AND/OR/XNOR/XOR

図30に、AND/OR/XNOR/XOR回路を示す。XORは、 $A=B="1"$  及び  $A$ 又は  $B="1"$  のときの入出力関係はORと同じで、 $A=B="1"$  のときのみ異なり、 $V_{out}="0"$  となる。したがって、 $A=B="1"$

“1”のとき  $V_{out} = “0”$  ( $V_m = “1”$ ) となるような回路を加えればよい。Tr 6、Tr 7、Tr 8 (pチャネル型スピノンMOSFET) を、Tr 3、Tr 4、Tr 5 (nチャネル型スピノンMOSFET) と相補的に用いることで XOR 機能が加わる。Tr 6、Tr 7 から成るインバータは、閾値  $V_{inv4}$  が  $V_{dd}/2$  より高く設計されている。そのため、 $A = B = “1”$  のときのみ  $V_{in_p} = “0”$  となり、Tr 8 がオンする (図 3 1)。

この Tr 8 の平行磁化と反平行磁化における電流駆動能力  $\beta_{p8}$  の変化は Tr 1、Tr 2 の場合に比べて大きく、反平行磁化の場合では  $\beta_{p8} = 0.5$ 、平行磁化の場合では 50 とする。平行磁化 ( $\beta_{p8} = 50$ ) であれば、十分大きな電流 ( $I_{d\_high}$ ) が流れるが、反平行磁化 ( $\beta_{p8} = 0.5$ ) であれば電流値 ( $I_{d\_low}$ ) は非常に小さい。図 3 2 (A)、(B) 及び図 3 3 (A)、(B) に Tr 8 が平行磁化 ( $\beta_{p8} = 50$ )、Tr 5 が反平行磁化 ( $\beta_{n5} = 0.5$ ) のときの動作点  $V_m$  を示す。実線は、Tr 1 と Tr 8 に流れる電流の和であり、破線は Tr 2 と Tr 5 に流れる電流の和である。尚、 $I_{d\_low}$  は無視した。

その動作の詳細を表 6 に示す。

表 6

$\beta_{p1}$	$\beta_{n2}$	$\beta_{n5}$	$\beta_{p8}$	$V_m$	A			B			$V_{out}$ ( $V_m$ の順に)	機能
					0	0	1	0	1	1		
1	10	0.5	0.5	“1”	“0”	“0”		“0”	“1”	“1”		OR
10	1	0.5	0.5	“1”	“1”	“0”		“0”	“0”	“1”		AND
1	10	50	0.5	“0”	“0”	“0”		“1”	“1”	“1”		all “1”
10	1	50	0.5	“0”	“1”	“0”		“1”	“0”	“1”		XNOR
1	10	0.5	50	$V_0$ (“1”)	$V_P$ (“0”)	$V_T$ (“1”)		“0”	“1”	“0”		XOR
10	1	0.5	50	$V_0$ (“1”)	$V_R$ (“1”)	$V_U$ (“1”)		“0”	“0”	“0”		all “0”

4-1) AND/OR/XNOR

図30の回路において、Tr8を反平行磁化 ( $\beta_{p8}=0.5$ ) にしておけば、Tr8に流れる電流を無視することができ、Tr8の部分は開放とみなせる。そのため図24の回路と等価で、Tr1, Tr2, Tr5の磁化状態 (電流駆動能力  $\beta_{p1}$ ,  $\beta_{n2}$ ,  $\beta_{n5}$ ) を変えることでAND/OR/XNOR機能を持たせることができる。

#### 4-2) XOR (図32 (A)、(B))

Tr8を平行磁化 ( $\beta_{p8}=50$ ) にして、その他はORの場合と同じくTr1を反平行磁化 ( $\beta_{p1}=1$ )、Tr2を平行磁化 ( $\beta_{n2}=10$ )、Tr5を反平行磁化 ( $\beta_{n5}=0.5$ ) に設定しておく。A=B="0"、A又はB="1"では、Tr8は開放でありORと同じ動作をする。A=B="1"のときは、Tr8の  $I_{d\_high}$  により  $V_m$  が充電され、 $V_m = V_1 > V_{inv\_2}$  となるから、 $V_{out} = "0"$  となる。さらに、Tr1を平行磁化 ( $\beta_{p1}=10$ )、Tr2を反平行磁化 ( $\beta_{n2}=1$ )、Tr5を反平行磁化 ( $\beta_{n5}=0.5$ )、Tr8を平行磁化 ( $\beta_{p8}=50$ ) にしておくと、全ての入力パターンに対して  $V_{out} = "0"$  となる (図33 (A)、(B))。

#### 5) AND/OR/XNOR/XOR/NAND/NOR

図15の場合と同様に図24の回路の出力にインバータをいれて構成することもできるが、図30の回路を用いても実現できる。図30におけるTr5は、A=B="0"の場合のみ機能し、 $V_m = "0"$  にする。また、Tr8は、A=B="1"のときのみ機能し、 $V_m = "1"$  にする。これを考慮すると、NAND/NORは、図30の回路で実現できる。

図30に示す回路において、Tr5とTr8をともに平行磁化 ( $\beta_{n5} = \beta_{p8} = 50$ ) の場合の動作点を図33及び図34に示す。その動作を表7にまとめる。

表7

$\beta_{p1}$	$\beta_{n2}$	$\beta_{n5}$	$\beta_{p8}$	$V_m$					$V_{out}$ ( $V_m$ の順に)	機能
					A	0	0	1		
B	0	1	1							
1	10	0.5	0.5	"1"	"0"	"0"			"0" "1" "1"	OR

10	1	0.5	0.5	“1”	“1”	“0”	“0”	“0”	“1”	AND
1	10	50	0.5	“0”	“0”	“0”	“1”	“1”	“1”	all “1”
10	1	50	0.5	“0”	“1”	“0”	“1”	“0”	“1”	XNOR
1	10	0.5	50	“1”	“0”	“1”	“0”	“1”	“0”	XOR
10	1	0.5	50	“1”	“1”	“1”	“0”	“0”	“0”	all “0”
1	10	50	50	$V_T$ (“0”)	$V_P$ (“0”)	$V_U$ (“1”)	“1”	“1”	“0”	NAND
10	1	50	50	$V_S$ (“0”)	$V_R$ (“1”)	$V_V$ (“1”)	“1”	“0”	“0”	NOR

### 5-1) AND/OR

$T_r 5$  を反平行磁化 ( $\beta_{n5} = 0.5$ )、 $T_r 8$  を反平行磁化 ( $\beta_{p8} = 0.5$ ) とすると、 $T_r 5$ 、 $T_r 8$  とも開放なので、図28の回路と等価である。

### 5-2) XNOR

$T_r 5$  を平行磁化 ( $\beta_{n5} = 50$ )、 $T_r 8$  を反平行磁化 ( $\beta_{p8} = 0.5$ ) とすると、 $T_r 8$  が開放なので、図24の回路と等価である。

### 5-3) XOR

$T_r 5$  を反平行磁化 ( $\beta_{n5} = 0.5$ )、 $T_r 8$  を平行磁化 ( $\beta_{p8} = 50$ ) とすると、図32(A)、(B) と等価でXORになる。

### 5-4) NAND (図34(A)、(B) 参照)

$T_r 1$  を反平行磁化 ( $\beta_{p1} = 1$ )、 $T_r 2$  を平行磁化 ( $\beta_{n2} = 10$ )、 $T_r 5$  を平行磁化 ( $\beta_{n5} = 50$ )、 $T_r 8$  を平行磁化 ( $\beta_{p8} = 50$ ) とする。A=B=“0”的とき、 $T_r 5$  により放電されて  $V_{in} = V_T < V_{inv2}$  となり、 $V_{out} = “1”$  となる。A又はB=“1”的ときでは、 $V_{in} = V_p < V_{inv2}$  であるため、 $V_{out} = “1”$  となる。A=B=“1”的ときでは、 $T_r 8$  により充電されて  $V_{in} = V_u > V_{inv2}$  となるから、 $V_{out} = “0”$  となる。

### 5-5) NOR (図35(A)、(B) 参照)

$T_r 1$  を平行磁化 ( $\beta_{p1} = 10$ )、 $T_r 2$  を反平行磁化 ( $\beta_{n2} = 1$ )、 $T_r 5$  を平行磁化 ( $\beta_{n5} = 50$ )、 $T_r 8$  を平行磁化 ( $\beta_{p8} = 50$ ) とする。A=B=“0”的とき、 $T_r 5$  により放電されて  $V_{in} = V_S < V_{inv2}$  となるので、 $V_{out} = “1”$

となる。A又はB = “1”のときでは、 $V_{\text{in}} = V_R > V_{\text{inv2}}$ なので、 $V_{\text{out}} = “0”$ である。A = B = “1”的とき、Tr 8により充電されて $V_{\text{in}} = V_v > V_{\text{inv2}}$ となるので、 $V_{\text{out}} = “0”$ である。

図30の回路では素子数は、MOSFETが10、キャパシタが2である。この回路は、CMOS構成で実現できることから回路のレイアウトも非常にコンパクトにできる。

図36はスピンMOSFETを用いたCMOS構成インバータを2段つなげた回路である。1段目と2段目のインバータは、それぞれnMOS構造による入力を持っている。入力AとBに対しては等しい重み付けを設定する。2段目のインバータにもAとBを入力し、一段目の出力 $V_{\text{m1}}$ も2段目インバータに入力する。ただし、2段目のインバータでは入力AとBに対する容量( $C_A$ と $C_B$ )の重み付けは等しいが、A(およびB)と $V_{\text{m1}}$ との容量の重み付けは異なる。例えば、 $V_{\text{m1}}$ による入力の容量を $C_{\text{m1}}$ とすれば、 $3C_{\text{m1}} = C_A (= C_B)$ の関係が必要である。この論理回路ではQ1、Q2、Q4の磁化状態を変えることによって論理機能を書き換えることができる。 $V_{\text{m1}}$ ではNORとNAND、 $V_{\text{m2}}$ ではXNOR、XOR、AND、OR、a11”1”、a11”0”的論理機能を実現できる。ただし、 $V_{\text{m1}} V_{\text{m2}}$ では論理機能によって論理振幅が“0”レベルまたは“1”レベルからに達しない場合があるので、それぞれの出力にCMOSインバータなどを入れて信号を増幅することが好ましい。ただし、この場合では論理機能は反転する。また、Q2にスピンMOSFETを用いることもできる。

次に、参考例として第2のCMOS構成の論理回路について図面を参考しつつ説明を行う。この論理回路においては、閾値可変インバータを出力段のインバータに用いて書き換え可能な論理回路を構成する。論理閾値 $V_{\text{inv}}$ は2値(これを $V_{\text{inv\_high}}$ 、 $V_{\text{inv\_low}}$ とする)で十分であり、例えば、通常のnMOSとpチャネル型スピンMOSFETとを含むインバータを用いる。このインバータは、アナログ電圧(以下に述べる“1/2”)をデジタル論理レベル(“0”または“1”)まで増幅するA-Dコンバータとしての機能を有するが、しきい値も制御できる。図6に示したnMOSを入力としたE/E、

E/D、CMOSインバータのスピンMOSFETを通常のMOSFETとして、出力のADコンバータをこの論理しきい値可変インバータとすることで実現できる。ここでは、参考例として別の回路を示す。

### 1) NAND/NOR

図37は、NAND/NOR回路の構成例を示す図である。図48に示す回路との相違点は、 $V_m$ の値をスピンMOSFETによって変えるのではなく、インバータで論理レベルまで増幅する際の閾値を変えることである。すなわち、図38に示すように、図37に示す論理回路の負荷曲線(スピンMOSの特性)は1本であり、動作点は $V_0$ 、 $V_p$ 、 $V_q$ のみであるが、論理閾値 $V_{inv}$ を、A又はB="1"のときの動作点 $V_p$ より上( $V_{inv\_high}$ )にするか、 $V_p$ より下( $V_{inv\_low}$ )にするかにより動作点を変えて機能を変更する。この $V_{inv\_low}$ と $V_{inv\_high}$ の間の領域を“1/2”とする。図39に真理値表を、表8に上記回路の詳細な動作を示す。

表8

$V_{inv}$	$V_m$				$V_{out}$ ( $V_m$ の順に)	機能	
		A	0	1			
$V_{inv\_low}$	$V_0$ ("0")	$V_p$ ("1/2")	$V_q$ ("1")	"1" "0" "0"		NOR	
$V_{inv\_high}$	$V_0$ ("0")	$V_p$ ("1/2")	$V_q$ ("1")	"1" "1" "0"		NAND	

$A=B="0"$ の場合、 $V_m=V_0 < V_{inv\_low}$ 、 $V_{inv\_high}$ であり、インバータにより $V_{out}="1"$ となる。 $A=B="1"$ の場合には、 $V_m=V_q < V_{inv\_low}$ 、 $V_{inv\_high}$ であり、インバータにより $V_{out}="0"$ となる。尚、以上の出力は、インバータの論理閾値 $V_{inv}$ に依存しない。 $A$ 又は $B="1"$ の場合には、 $V_{inv\_low} < V_p < V_{inv\_high}$ であり、 $V_{inv}=V_{inv\_low}$ であれば $V_{out}="0"$ であるためNOR回路に、 $V_{inv}=V_{inv\_high}$ であれば、 $V_{out}="1"$ であるためNAND回路になる。

### 2) NAND/NOR/XOR

図40にNAND/NOR+XNOR回路を示す。図41にその動作点を

示す。この動作原理は図50～図54と同様であり、NORにおいて、 $A = B = "1"$  のとき  $V_{out} = "1"$  (そのためには  $V_m = "0"$  ) とする回路が Tr3、Tr4、Tr5 (nチャネル型スピンドルMOSFET) である。このTr5は、駆動力の高い状態 ( $\beta_{n5} = 10$ ) と低い状態 ( $\beta_{n5} = 1$ ) がある。その動作の詳細について表9に示す。

表9

$V_{inv}$	$\beta_{n5}$	$V_m$				$V_{out}$ ( $V_m$ の順に)	機能
			A	0	0	1	
B	0	1	1				
$V_{inv\_low}$	1	$V_0 ("0")$	$V_p ("1/2")$	$V_q ("1")$		"1" "0" "0"	NOR
$V_{inv\_high}$	1	$V_0 ("0")$	$V_p ("1/2")$	$V_q ("1")$		"1" "1" "0"	NAND
$V_{inv\_low}$	10	$V_0 ("0")$	$V_p ("1/2")$	$V_R ("0")$		"1" "0" "1"	XNOR
$V_{inv\_high}$	10	$V_0 ("0")$	$V_p ("1/2")$	$V_R ("0")$		"1" "1" "1"	all "1"

## 2-1) NAND/NOR (図42 (A)、(B) 参照)

図40において、Tr5を  $\beta_{n5} = 1$  の状態にすれば、そのドレイン電流  $I_{d\_low}$  を無視することができるため開放とみなせ、図37のNAND/NOR回路と等価になる。

## 2-2) XNOR (図43 (A)、(B) 参照)

図45においてTr5を  $\beta_{n5} = 10$ 、インバータの閾値をNORと同じく  $V_{inv\_low}$  としておく。 $A = B = "0"$ 、 $A$ 又は  $B = "1"$  では、上述のように Tr5は開放と等価なのでNORと同じ動作をする。 $A = B = "1"$  のときはTr5の  $I_{d\_high}$  により  $V_m$  が放電され  $V_m = V_R < V_{inv\_low}$ 、 $V_{out} = "1"$  となる。

さらに、 $\beta_{n5} = 10$ 、 $V_{inv\_high}$  としておくと、すべての入力に対して  $V_{out} = "1"$  となる。

## 3) NAND/NOR/XNOR/XOR

NAND/NOR/XNOR/XOR回路を図44に示す。XORは、 $A = B = "1"$  及び  $A$ 又は  $B = "1"$  のときの入出力関係はNANDと同じで、

$A = B = "0"$  のときのみ異なり、 $V_{out} = "0"$  である。 $A = B = "0"$  のとき、 $V_{out} = "0"$  (そのためには $V_m = "1"$  ) となるような回路を加えればよい。 $p$  チャネル型の Tr 6、Tr 7、Tr 8 ( $p$  チャネル型スピノンMOSFET) を、 $n$  チャネル型の Tr 3、Tr 4、Tr 5 ( $n$  チャネル型スピノンMOSFET) と相補的に用いることで XOR 機能が加わる。この Tr 8 は、駆動力の高い状態 ( $\beta_{p8} = 10$ ) と低い状態 ( $\beta_{p8} = 1$ ) とがある。Tr 6、Tr 7 のソースフォロアは正のレベルシフタであり、 $A = B = "0"$  の場合のみ Tr 8 がオンする。

図 45 は、Tr 6 と Tr 7 の動作特性を表しており、これから  $V_{in_p}$  が決まる。 $A = B = "1"$  の動作点  $V_p$ 、 $A$  又は  $B = "1"$  の動作点  $V_E$  は共に Tr 8 の閾値より大きいので電流は流れず、開放と等価である。 $A = B = "0"$  の  $V_p$  のときのみ Tr 8 がオンする。(閾値が  $V_{dd}/2$  より大きな  $p$  チャネル型スピノンMOSFET が集積可能であれば Tr 6、Tr 7 は不要で、 $V_{fg}$  ノードを直接 Tr 8 のゲートと接続すればよい。)  $\beta_{p8} = 10$  であれば、十分大きな電流  $I_{d\_high}$  が流れるが、 $\beta_{p8} = 1$  であれば、電流値 ( $I_{d\_low}$ ) は非常に小さい。図 46 に  $\beta_{p8} = 10$ 、 $\beta_{n5} = 1$  のときの動作点  $V_m$  を示す。実線は Tr 1 と Tr 8 に流れる電流の和であり、図 46 中  $I_{d\_low}$  は無視した。

その動作の詳細を表 10 に示す。

表 10

$V_{inv}$	$\beta_{n5}$	$\beta_{p8}$	$V_m$				$V_{out}$ ( $V_m$ の順に)	機能
				A	0	0	1	
				B	0	1	1	
$V_{inv\_low}$	1	1		"0"	"1/2"	"1"	"1" "0" "0"	NOR
$V_{inv\_high}$	1	1		"0"	"1/2"	"1"	"1" "1" "0"	NAND
$V_{inv\_low}$	10	1		"0"	"1/2"	"0"	"1" "0" "1"	XNOR
$V_{inv\_high}$	10	1		"0"	"1/2"	"0"	"1" "1" "1"	all "1"
$V_{inv\_low}$	1	10		$V_0$ ("1")	$V_p$ ("1/2")	$V_Q$ ("1")	"0" "0" "0"	all "0"
$V_{inv\_high}$	1	10		$V_0$ ("1")	$V_p$ ("1/2")	$V_Q$ ("1")	"0" "1" "0"	XOR

## 3-1) NAND/NOR/XNOR

Tr 8を、駆動力のない状態 ( $\beta_{p8} = 1$ )にしておけば、Tr 8に流れる電流を無視でき、この部分は開放とみなせる。そのため図40の回路と等価であり、 $\beta_{n5}$ と $V_{inv}$ のみ変えることでNAND/NOR/XOR機能を保つことができる。

## 3-2) XOR

Tr 8は $\beta_{p8} = 10$ 、インバータの閾値はNANDと同じく $V_{inv\_high}$ 、Tr 5は開放となるよう $\beta_{n5} = 1$ としておく。A=B="1"、A又はB="1"では上述のようにTr 8は開放であるためNANDと同じ動作をする。A=B="0"のときはpチャネル型スピノンMOSFETにより $V_m$ が充電され、 $V_m = V_0 > V_{inv\_high}$ 、 $V_{out} = "0"$ となる。さらに、 $\beta_{p8} = 10$ 、 $V_{inv\_low}$ としておくと、全ての入力に対して $V_{out} = "0"$ となる。

## 4) NAND/NOR/XNOR/XOR/OR/AND

図44の回路中、Tr 5はA=B="1"のときのみ機能し、 $V_m = "0"$ とする。また、Tr 8はA=B="0"のときのみ機能し、 $V_m = "1"$ とする。

これを考えると、OR/ANDは図44の回路のままで実現できる。回路中のデバイス数はMOSFET 10と、キャパシタ 2である。図44の、 $\beta_{n5} = \beta_{p8} = 10$ の負荷曲線を図40 (A) に示す。図30の回路は駆動力の変化率が異なる2種類のスピノンMOSFET (Tr 1とTr 2では例えば10倍、Tr 5とTr 8では例えば100倍程度の変化率)を集積する必要があったが、図44の回路では1種類のスピノンMOSFETのみでよい。

その動作を表11にまとめた。

表11

$V_{inv}$	$\beta_{n5}$	$\beta_{p8}$	$V_m$				$V_{out}$ ( $V_m$ の順に)	機能
				A	0	0		
$V_{inv\_low}$	1	1		"0"	"1/2"	"1"	"1" "0" "0"	NOR

$V_{inv\_high}$	1	1	“0”	“1/2”	“1”	“1”	“1”	“0”	NAND
$V_{inv\_low}$	10	1	“0”	“1/2”	“0”	“1”	“0”	“1”	XNOR
$V_{inv\_high}$	10	1	“0”	“1/2”	“0”	“1”	“1”	“1”	All “1”
$V_{inv\_low}$	1	10	“1”	“1/2”	“1”	“0”	“0”	“0”	all “0”
$V_{inv\_high}$	1	10	“1”	“1/2”	“1”	“0”	“1”	“0”	XOR
$V_{inv\_low}$	10	10	$V_0$ (“1”)	$V_p$ (“1/2”)	$V_R$ (“0”)	“0”	“0”	“1”	AND
$V_{inv\_high}$	10	10	$V_0$ (“1”)	$V_p$ (“1/2”)	$V_R$ (“0”)	“0”	“1”	“1”	OR

#### 4-1) NAND/NOR (図46 (A)、(B))

$\beta_{n5}=1$ 、 $\beta_{p8}=1$  とすると、Tr5、Tr8とも開放なので、図37の回路と等価であり、 $V_{inv\_low}$ でNOR、 $V_{inv\_high}$ でNANDである。

#### 4-2) XNOR

$\beta_{n5}=10$ 、 $\beta_{p8}=1$ 、 $V_{inv\_low}$  とするとTr8が開放なので、図43の状態と等価でありXNORとなる。

#### 4-3) XOR

$\beta_{n5}=1$ 、 $\beta_{p8}=10$ 、 $V_{inv\_high}$  とすると、図9 (B) の状態と等価でXORとなる。

#### 4-4) AND/OR

図44の回路で $\beta_{n5}=10$ 、 $\beta_{p8}=10$ とする(図47 (A)、(B) 参照)。

$A=B=“0”$  のとき、Tr8により充電されて $V=V_0 > V_{inv\_low}$ 、 $V_{inv\_high}$ なので、 $V_{out}=“0”$   $A=B=“1”$  のとき、Tr5により放電されて $V=V_0 < V_{inv\_low}$ 、 $V_{inv\_high}$ なので、 $V_{out}=“1”$  である。A又はB=“1”的とき、Tr5、Tr8とも開放なので、図37と等価になる。 $V_{inv\_low} < V_p < V_{inv\_high}$ なので、 $V_{inv}=V_{inv\_low}$  であれば $V_{out}=“0”$  でAND回路に、 $V_{inv}=V_{inv\_high}$  であれば、 $V_{out}=“1”$  でOR回路になる。

尚、上記の回路の場合、各回路図におけるTr1とTr2は同じ導電型であればnチャネル型又はpチャネル型のいずれでも良い。

以下に、上記スピノMOSFETを用いた再構成可能な回路の参考例について、論理回路を例として図面を参照しつつ説明を行う。この論理回路は、

エンハンスマント型MOSFET及びnチャネル型スピノンMOSFETを用いた回路群を用いている。

### 1) NAND/NOR回路

図48は、書き換え可能なNAND/NOR回路の構成例を示す図である。図48に示すように、書き換え可能なNAND/NOR回路は、論理ゲート段とインバータ段とを有している。論理ゲート段はnMOS (Tr1)とスピノンMOSFET (Tr2)との直列接続構造を有している。nMOS (Tr1)は、2つの入力A及びBを有しており、これらの入力値によりフローティングゲートに印加される電圧 $V_{fg}$ が例えば $(A+B)/2$ の式により求まる。このnMOS (Tr1)の電流増幅率を $\beta_{n1}$ で表す。A、Bが入力、 $V_{out}$ が出力であり、“0”(Lowレベル、0V)または“1”(Highレベル、電源電圧 $V_{dd}$ )である。上記nMOS (Tr1)は、“0”か“1”かのデジタル入力を、 $(0, V_{dd}/2, V_{dd})$ のいずれかの電圧に変換するD-Aコンバータとしての機能を有している。

Tr2がスピノンMOSFET (MOSFETに矢印を加えることにより一般的なMOSFETと識別している。)であり、一定バイアス $V_b$ が加えられている。その駆動力は、スピノンMOSFET (Tr2)内に記憶されている磁化状態によって、 $\beta_{n2}=1$ 又は $10$ の2通りをとることができると仮定する。

スピノンMOSFET (Tr2)の静特性を図6に実線で示す。nMOS (Tr1)とスピノンMOSFET (Tr2)とでソースフォロア回路を構成しており、nMOS (Tr1)は $V_{fg}$ に対応した駆動力で、nMOS (Tr1)とスピノンMOSFET (Tr2)との接続点である $V_n$ ノードを充電し、スピノンMOSFET (Tr2)は、その磁化状態に対応した駆動力で $V_n$ ノードを放電する。このnMOS (Tr1)とスピノンMOSFET (Tr2)とで論理ゲートが構成される。nMOS (Tr1)による負荷曲線(破線で示す)と、この論理ゲートの動作点( $V_0 \sim V_S$ )を図49上に示してある。

これらの動作点( $V_0 \sim V_S$ )で与えられるアナログ電圧 $V_n$ が、図49の下方の図に示される特性を有するインバータにより、 $V_{inv}$ を閾値としてデジ

タル論理レベル“0”又は“1”まで反転増幅され、出力端子 $V_{out}$ に出力される。

表12に、 $\beta_{n2}$ と動作点、回路機能の関係を示す。

表12

$\beta_{n2}$	$V_m$				$V_{out}$ ( $V_m$ の順に)	機能
		A	0	0	1	
B	0	1	1	1		
1	$V_0$ (“0”) $V_S$ (“1”) $V_Q$ (“1”)				“1” “0” “0”	NOR
10	$V_0$ (“0”) $V_R$ (“0”) $V_P$ (“1”)				“1” “1” “0”	NAND

平行磁化状態におけるスピニMOSFET (Tr2) の  $\beta_{n2}=10$  とする。この場合、 $A=B=“0”$  では、ドレイン電流  $I_d=0$  である。 $V_m=V_0 < V_{inv}$  であり、A-Dコンバータの反転増幅を考慮すると、 $V_{out}=“1”$  である。

$A=B=“1”$  では、ドレイン電流  $I_d$  は、 $I_d=\beta_{n1}(V_{dd}-V_m-V_{th})^2/2$

で表される。 $V_m=V_p > V_{inv}$  であり、 $V_{out}=“0”$  となる。以上の出力は、スピニMOSFET (Tr2) の駆動力  $\beta_{n2}$  に依存しない (平行磁化か反平行磁化かに依存しない)。A又はB=“1”的場合には、ドレイン電流  $I_d$  は、

$I_d=\beta_{n1}(V_{dd}/2-V_m-V_{th})^2$  で表される。入力のいずれか一方が“1”

であり、 $V_m$  は Tr2 によって放電され、 $V_m=V_R < V_{inv}$  となり、 $V_{out}=“1”$  であるため、NAND回路となる。

反平行磁化状態におけるスピニMOSFET (Tr2) の  $\beta_{n2}=1$  とする。  $A=B=“0”$  の場合には、 $V_m=V_0 < V_{inv}$  であり、A-Dコンバータの反転増幅を考慮すると、 $V_{out}=“1”$  である。  $A=B=“1”$  の場合には、 $V_m=V_Q > V_{inv}$  であり、 $V_{out}=“0”$  となる。以上の出力はスピニMOSFET (Tr2) の駆動力  $\beta_{n2}$  に依らない (平行磁化か反平行磁化かには依存しない)。A又はB=“1”的場合には、 $V_m$  は Tr1 に充電されて  $V_m=V_S > V_{inv}$  、

$V_{out} = "0"$  となりNOR回路として機能する。図50は図48の回路の真理値表である。

以上、表12に示すように、スピニMOSFET内の磁化状態により異なる値を取ることができる  $\beta_{n2}$  が1であるか或いは10であるかに基づいて、入力A、Bに対する出力  $V_{out}$  としてNOR論理又はNAND論理のいずれかを任意に選択することができる。スピニMOSFETの磁化状態は不揮発的に記憶されるため、1つの回路において、NOR論理又はNAND論理のいずれかを選択して機能させることが可能である。同様の機能を有する回路を通常のCMOSデジタル回路により構成すると、MOSFET 10個が必要であり、本参考例による回路では4個のMOSFETのみにより同様の機能を実現することができるという利点がある。

## 2) NAND/NOR+XNOR

図51 (A) を参照しつつ、NAND/NOR+XNORの書き換え可能な回路について説明する。XNORは、 $A = B = "0"$  及び  $A$  又は  $B = "1"$  の場合の入出力関係はNORと同じであり、 $A = B = "1"$  の場合のみ異なり、 $V_{out} = "1"$  である。そこで、 $A = B = "1"$  のとき  $V_{out} = "1"$  (そのためには  $V_{in} = "0"$  ) となるようにすれば良い。通常のnMOSFETを2つ (Tr3、Tr4) と、1つのnチャネル型スピニMOSFET (Tr5) からなる回路を追加する。nチャネル型スピニMOSFET (Tr5) は、駆動力の高い状態 ( $\beta_{n5} = 10$ ) と低い状態 ( $\beta_{n5} = 1$ ) を磁化の状態により切り替えられるMOSFETである。

Tr3、Tr4のソースフォロアは負のレベルシフタであり、 $A = B = "1"$  の場合のみTr5がONする。その動作を示す図51 (B)において、上の図は図8におけるTr3とTr4との動作特性を表しており、これから  $V_{in,n}$  が決まる。実線がTr4の静特性であり、破線がTr3の負荷曲線である。 $A = B = "0"$  の動作点VCと、 $A$  又は  $B = "1"$  の動作点VDとは、共にTr5の閾値よりも小さいためにTr5に電流は流れず、開放と等価である。 $A = B = "1"$  の動作点VEのときのみTr5のゲート電圧はその閾値を超えてるのでTr5はオンする。尚、閾値が  $V_{dd}/2$  より大きなnチ

ヤネル型スピニMOSFETが集積可能であれば、Tr3、Tr4を設けなくとも良く、 $V_{fg}$ ノードを直接Tr5のゲートと接続すればよい。このとき、図8(B)の下の図に示すように、 $\beta_{n5} = 10$ であれば十分大きな電流( $I_{d\_high}$ )が流れるが、 $\beta_{n5} = 1$ であれば電流値( $I_{d\_low}$ )は非常に小さい。

図52～図54までに、各 $\beta$ の場合の動作点 $V_m$ を示す。実線はTr2とTr5とに流れる電流の和であり、 $I_{d\_low}$ は無視できるものとした。表13に $\beta_{n2}$ 、 $\beta_{n5}$ と回路の機能との関係をまとめて示した。

表13

$\beta_{n2}$	$\beta_{n5}$	$V_m$				$V_{out}$ ( $V_m$ の順に)	機能	
			A	0	0	1		
		B	0	1	1			
1	1	$V_0$ ("0")	$V_S$ ("1")	$V_Q$ ("1")	"1"	"0"	"0"	NOR
10	1	$V_0$ ("0")	$V_R$ ("0")	$V_P$ ("1")	"1"	"1"	"0"	NAND
1	10	$V_0$ ("0")	$V_S$ ("1")	$V_U$ ("0")	"1"	"0"	"1"	XNOR
10	10	$V_0$ ("0")	$V_R$ ("0")	$V_V$ ("0")	"1"	"1"	"1"	all "1"

図52(A)、(B)は、NAND/NOR機能について示す図である。Tr5を、駆動力のない状態( $\beta_{n5} = 1$ )にしておけば、流れる電流 $I_{d\_low}$ を無視することができ、Tr5(図51)の部分は開放とみなせる。従って、NAND/NOR機能を保つことができる。

図53(A)、(B)は、XNOR機能について示す図である。Tr5の駆動力を高い状態( $\beta_{n5} = 10$ )に、Tr2はNORと同じく $\beta_{n2} = 1$ にしておく。

$A = B = "0"$ 、 $A$ 又は $B = "1"$ では、上述のようにTr5は開放と等価なのでNORと同じ動作を行う。 $A = B = "1"$ のときは、Tr5の電流 $I_{d\_high}$ により $V_m$ が放電されて $V_m = V_u < V_{inv}$ 、 $V_{out} = "1"$ となる。さらに、図11(A)、(B)に示すように、 $\beta_{n5} = 10$ 、 $\beta_{n2} = 10$ としておくと、全ての入力パターンに対して $V_{out} = "1"$ (all "1")となる。

### 3) NAND/NOR/XNOR+AND/OR/XOR機能

図51の出力端 $V_{out}$ に、さらに1段インバータを追加すると $V_{out}$ の反転が得られる。すなわち、図55に示すように、NAND/NOR/XNORに対してAND/OR/XORとなる。 $V_{out}$ と $V_{out}$ の反転との2つを出力することで、NAND/NOR/XNOR+AND/OR/XORおよびall “0”、“1”の全ての2入力対称関数が実現できる回路を構成することができる。この回路全体で必要な素子は、9個のMOSFETと2つの容量である。必要であれば、出力端に $V_{out}$ と $V_{out}$ の反転とから必要な方を選択する回路（パストランジスタ）を加えると1出力となる。表14は、図55に示す回路の機能をまとめたものである。

表14

$\beta_{n2}$	$\beta_{n5}$	$V_{out}$	$\overline{V_{out}}$			機能	
			A	0	0	1	
			B	0	1	1	
1	1	“1” “0” “0”		“0”	“1”	“1”	NOR/OR
10	1	“1” “1” “0”		“0”	“0”	“1”	NAND/AND
1	10	“1” “0” “1”		“0”	“1”	“0”	XNOR/XOR
10	10	“1” “1” “1”		“0”	“0”	“0”	all “1” / all “0”

以上、本発明の各実施の形態による論理回路は、不揮発に電流駆動力を可変できるスピントランジスタまたはスピンMOSFETと $\nu$ MOS構造を含み、少素子数かつ、不揮発に再構成可能な2入力対称関数を実現することができる。本回路ではさらに、チップ面積の縮小化が可能で、高速・低消費電力動作が期待できる。従って、短期間で開発を行うモバイル機器などの集積回路に応用できる。

以上、本発明の実施の形態又は参考例による論理回路について説明したが、本発明はこれらに制限されるものではない。その他、種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

### 産業上の利用可能性

本発明の論理回路を用いると、少數の素子により構成された回路により、不揮発性の再構成可能な2入力の対称関数を実現することができる。本回路は不揮発に論理機能を保持できるため、論理機能を記憶するための不揮発性メモリを必要としないことから、チップサイズの縮小化が可能である。また、少數の素子により構成された回路により高速・低消費電力動作が期待できる。従って、短期間で開発を行うモバイル機器などの集積回路に応用できる。

## 請求の範囲

1. 伝導キャリアのスピンの向きに依存する伝達特性を有するスピントランジスタを含む回路であって、

前記伝導キャリアのスピンの向きを変えることにより変化する前記スピントランジスタの伝達特性に基づいて動作点を変化させて機能を再構成することができる回路。

2. 強磁性体層を少なくとも2層以上含み、前記強磁性体層の磁化状態に依存する伝達特性を有するスピントランジスタを含む回路であって、前記スピントランジスタの磁化状態を変化させることによって、動作点を変化させて機能を再構成することができる回路。

3. 前記スピントランジスタは、磁化の方向を独立に制御できる強磁性体（以下「フリー層」と称する。）と、磁化の方向を変化させない強磁性体（以下、「ピン層」と称する。）と、を少なくとも1つずつ有しており、前記フリー層と前記ピン層とが同じ方向の磁化を持つ第1の状態（以下「平行磁化」と称する。）と、互いに反対方向となる磁化を持つ第2の状態（以下「反平行磁化」と称する。）と、の2つの磁化状態に基づいて動作点を変化させて機能を再構成することを特徴とする請求の範囲第2項に記載の回路。

4. 前記動作点を生じる第1の端子を出力とし、前記第1の端子を充電するための第1の回路群と、前記第1の端子を放電するための第2の回路群とを有しており、前記第1の回路群と前記第2の回路群とのいずれか一方あるいは両方に前記スピントランジスタを含むことを特徴とする請求の範囲第1項から第3項までのいずれか1項に記載の回路。

5. 前記スピントランジスタのキャリアのスピンの向きまたは磁化状態に依存する伝達特性を制御することにより前記第1の端子の電位を決定することを特徴とする請求の範囲第4項に記載の回路。

6. キャパシタによる静電容量によって重み付けされた複数の入力と、該入力を共通に接続するフローティングゲートと、を含んで構成されるニューロンMOS（以下、「 $\nu$ MOS」と称する。）構造を介して入力された信号に基

づき信号を出力することを特徴とする請求の範囲第1項から第5項までのいずれか1項に記載の回路。

7. 前記複数の入力信号のそれぞれが略等しくなるように重み付けされていることを特徴とする請求の範囲第6項に記載の回路。

8. 前記第1の端子に生じる電位を“0”論理レベルと“1”論理レベルの出力とに切り分ける論理閾値を前記スピントランジスタの伝達特性の変化を反映して変化する前記動作点に対して設定することを特徴とする請求の範囲第4項から第7項までのいずれか1項に記載の回路。

9. 請求の範囲第1項から第8項までのいずれか1項に記載の回路の出力端子に、ある定められた論理閾値をもつA/Dコンバータが接続されていることを特徴とする回路。

10. 前記スピントランジスタは、MOS構造と強磁性体とを含んで構成されるソース及びドレインにより構成されるMOSFET型スピントランジスタ（以下「スピンMOSFET」と称する）であることを特徴とする請求の範囲第1項から第9項までのいずれか1項に記載の回路。

11. 第1導電型のMOSFETまたは第1導電型のスピンMOSFETと、該第1導電型と同じ導電型のMOSFETまたは該第1導電型と同じ導電型のスピンMOSFETと、がそれぞれ前記第1の回路群および前記第2の回路群に含まれることを特徴とする請求の範囲第3項から9までのいずれか1項に記載の回路。

12. 前記第1の回路群に含まれるエンハンスマント型MOSFETまたはエンハンスマント型スピンMOSFETのソースと、前記第2の回路群に含まれるエンハンスマント型MOSFETまたはエンハンスマント型スピンMOSFETのドレインと、を接続した構造と、この接続部に形成された第1の端子とを有することを特徴とするE/E構成回路を含むことを特徴とする請求の範囲第3項から第11項までのいずれか1項に記載の回路。

13. 前記E/E構成回路を構成する前記第1の回路群に含まれるエンハンスマント型MOSFETまたはエンハンスマント型スピンMOSFETのドレインが該エンハンスマント型MOSFETまたは該エンハンスマント型ス

ピンMOSFETのゲートに接続されることを特徴とする請求の範囲第12項に記載の回路。

14. 前記E/E構成回路を構成する前記第2の回路群に含まれるエンハンスマント型MOSFETまたはエンハンスマント型スピニMOSFETは、 $\nu$ MOS構造を有することを特徴とする請求の範囲第12項又は第13項に記載の回路。

15. 前記第1の回路群に含まれるデプレッショニMOSFETまたはデプレッショニスピニMOSFETのソースと、前記第2の回路群に含まれるエンハンスマント型MOSFETまたはエンハンスマント型スピニMOSFETのドレインと、を接続した構造と、この接続部に形成された第1の端子とを有するE/D構成回路を含むことを特徴とする請求の範囲第3項から第11項までのいずれか1項に記載の回路。

16. 前記E/D構成回路を構成する前記第1の回路群に含まれるデプレッショニMOSFETまたはデプレッショニスピニMOSFETのソースが該デプレッショニMOSFETまたは該デプレッショニスピニMOSFETのゲートに接続されることを特徴とする請求の範囲第15項に記載の回路。

17. 前記E/D構成回路を構成する前記第2の回路群に含まれるエンハンスマント型MOSFETまたはエンハンスマント型スピニMOSFETは $\nu$ MOS構造を有することを特徴とする請求の範囲第15項又は第16項に記載の回路。

18. キャパシタによる静電容量によって重みづけられた2つの入力(以下、それぞれの入力をAおよびBとする。)を前記 $\nu$ MOS構造の入力とすることを特徴とする請求の範囲第11項から第17項のいずれか1項に記載の回路。

19. 請求の範囲第4項から第18項までのいずれか1項に記載された回路における前記第1の端子を入力とする前記A/Dコンバータを含むことを特徴とするNAND/NOR再構成可能論理回路又はAND/OR再構成可能論理回路。

20. 前記第1および前記第2の回路群または前記第1または前記第2の回路群は、

前記第1の端子に、前記スピンMOSFETとは別のスピンMOSFETのソースまたはドレインを接続し、該別のスピンMOSFETのゲートに特定の入力の場合にのみ該別のスピンMOSFETをオンさせるレベルシフト回路を接続することにより前記第1の端子の電位を制御する回路を含むことを特徴とする請求の範囲第11項から第19項までのいずれか1項に記載の回路。

21. 前記第2の回路群は、

前記第1の端子に、ソース接地されたnチャネル型の前記別のスピンMOSFETのドレインを接続し、nチャネル型の該別のスピンMOSFETのゲートに入力A=B="0"の場合にのみnチャネル型の該別のスピンMOSFETをオンさせるレベルシフト回路を接続することにより前記第1の端子の電位を制御する回路を含むことを特徴とする請求の範囲第11項から第20項までのいずれか1項に記載の回路。

22. 前記第1の回路群は、

前記第1の端子に、ソースが電源電圧に接続されたpチャネル型の前記別のスピンMOSFETのドレインを接続し、pチャネル型の該別のスピンMOSFETのゲートに入力A=B="1"の場合にのみpチャネル型の該別のスピンMOSFETをオンさせるレベルシフト回路を接続することにより前記第1の端子の電位を制御する回路を含むことを特徴とする請求の範囲第11項から第21項までのいずれか1項に記載の回路。

23. 前記レベルシフト回路はE/E又はE/D又はCMOS構成のインバータにより構成されることを特徴とする請求の範囲第20項から第23項までのいずれか1項に記載の回路。

24. 請求の範囲第20項から第23項までのいずれか1項に記載された回路における前記第1の端子を入力とする前記A/Dコンバータを有する再構成可能論理回路。

25. さらに、前記A/Dコンバータの出力を入力とするインバータを有す

る請求の範囲第20項又は第24項に記載の全2入力対称関数を実現できる再構成可能論理回路。

26. 第1導電型のMOSFETまたは第1導電型のスピンMOSFETと、前記第1導電型と異なる第2導電型のMOSFETまたは第2導電型のスピンMOSFETと、がそれぞれ前記第1の回路群および前記第2の回路群に含まれることを特徴とする請求の範囲第3項から第9項までのいずれか1項に記載の回路。

27. 前記第1の回路群に含まれるpチャネル型MOSFETまたはpチャネル型スピンMOSFETと前記第2の回路群に含まれるnチャネル型MOSFETまたはnチャネル型スピンMOSFETの互いのドレイン端子を共通にして接続した構造と、共通の前記ドレイン端子に形成された第1の端子とを有するCMOS構成回路を含むことを特徴とする請求の範囲第26項に記載の回路。

28. 前記第1の回路群に含まれるpチャネル型スピンMOSFETと前記第2の回路群とに含まれるnチャネル型スピンMOSFETとで構成されたCMOS構成回路を含むことを特徴とする請求の範囲第26項に記載の回路。

29. 前記CMOS回路を構成する前記pチャネル型MOSFETまたは前記pチャネル型スピンMOSFETと前記nチャネル型MOSFETまたは前記nチャネル型スピンMOSFETは、 $\nu$ MOS構造を構成する共通のフローティングゲートを有することを特徴とする請求の範囲第26項から第28項までのいずれか1項に記載の回路。

30. キャパシタによる静電容量によって重みづけられた2つの入力(以下、それぞれの入力をAおよびBとする)を前記 $\nu$ MOS構造の入力とすることを特徴とする請求の範囲第29項に記載の回路。

31. 請求の範囲第26項から第30項までのいずれか1項に記載された回路における前記第1の端子を入力とするA/Dコンバータを含むことを特徴とするAND/OR再構成可能論理回路またはNAND/NOR再構成可能論理回路。

32. 前記第1および前記第2の回路群、または、前記第1または前記第2

の回路群は、前記第1の端子に、前記スピンMOSFETとは異なる別のスピンMOSFETのソースまたはドレインを接続し、該別のスピンMOSFETのゲートに特定の入力の場合にのみ該別のスピンMOSFETをオンさせるレベルシフト回路を接続することにより前記第1の端子の電位を制御する回路を含むことを特徴とする請求の範囲第26項から第31項までのいずれか1項に記載の回路。

33. 前記第2の回路群は、

前記第1の端子に、ソース接地されたnチャネル型の前記別のスピンMOSFETのドレインを接続し、nチャネル型の該別のスピントランジスタのゲートに入力A=B="0"の場合にのみnチャネル型の該別のスピントランジスタをオンさせるレベルシフト回路を接続することにより前記第1の端子の電位を制御する回路を含むことを特徴とする請求の範囲第26項から第32項までのいずれか1項に記載の回路。

34. 請求の範囲第26項から第33項までのいずれか1項に記載の回路における前記第1の端子を入力とするA/Dコンバータを含むことを特徴とするAND/OR/XNOR再構成可能論理回路またはNAND/NOR/XOR再構成可能論理回路。

35. 前記第1の回路群は、

前記第1の端子に、ソースが電源電圧に接続されたpチャネル型の前記別のスピンMOSFETのドレインを接続し、pチャネル型の該別のスピンMOSFETのゲートに入力A=B="1"の場合にのみpチャネル型の該別のスピンMOSFETをオンさせるレベルシフト回路を接続することにより前記第1の端子の電位を制御する回路を含むことを特徴とする請求の範囲第26項から第35項までのいずれか1項に記載の回路。

36. 請求の範囲第26項から第35項までのいずれか1項に記載の回路における前記第1の端子を入力とするA/Dコンバータを含むことを特徴とするAND/OR/XOR再構成可能論理回路またはNAND/NOR/XNOR再構成可能論理回路。

37. さらに、前記A/Dコンバータの出力を入力とするインバータを有す

る請求の範囲第26項から第36項までのいずれか1項に記載の全2入力対称関数を実現する論理回路。

38. 前記第1の端子に、ソース接地されたnチャネル型の前記別のスピンMOSFETのドレインを接続し、nチャネル型の該別のスピンMOSFETのゲートに入力A=B=1の場合にのみnチャネル型の該別のスピンMOSFETをオンさせるレベルシフト回路を接続することにより前記第1の端子の電位を制御することを特徴とし、

前記第1の端子に、ソースが電源電圧に接続されたpチャネル型の前記スピンMOSFETとは異なる別のスピンMOSFETのドレインを接続し、pチャネル型の該別のスピンMOSFETのゲートに入力A=B=0の場合にのみpチャネル型の該別のスピンMOSFETをオンさせるレベルシフト回路を接続することにより前記第1の端子の電位を制御すること特徴とする回路群である請求の範囲第26項または第32項に記載の回路。

39. 請求の範囲第38項に記載の回路における前記第1の端子を入力とするA/Dコンバータを含むことを特徴とする全2入力対称関数論理回路。

40. 前記レベルシフト回路はE/E又はE/D又はCMOSインバータにより構成されることを特徴とする請求の範囲第32項から第39項までのいずれか1項に記載の回路。

41. CMOSインバータから構成され、前記CMOSインバータのpチャネル型MOSFETまたはnチャネル型MOSFETのいずれか一方、またはpチャネル型MOSFETおよびnチャネル型MOSFETの両方がスピンMOSFETであることを特徴とするA/Dコンバータ。

42. 前記スピンMOSFETの磁化状態によって、論理閾値を可変できる請求の範囲第41項に記載のA/Dコンバータ。

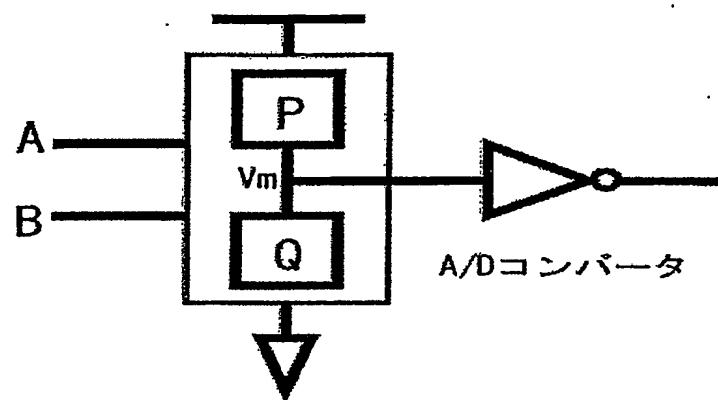
43. アナログ出力を有する回路の出力段に前記論理閾値を可変できるA/Dコンバータを接続し、論理機能を再構成できる論理回路。

44. 伝達特性可変のトランジスタを含む回路であって、前記トランジスタの伝達特性を変化させることにより動作点を移動させて機能を再構成することができる回路。

45. 請求の範囲第1項から第44項までのいずれか1項に記載の回路を含む集積回路。

図1

(A)



(B)

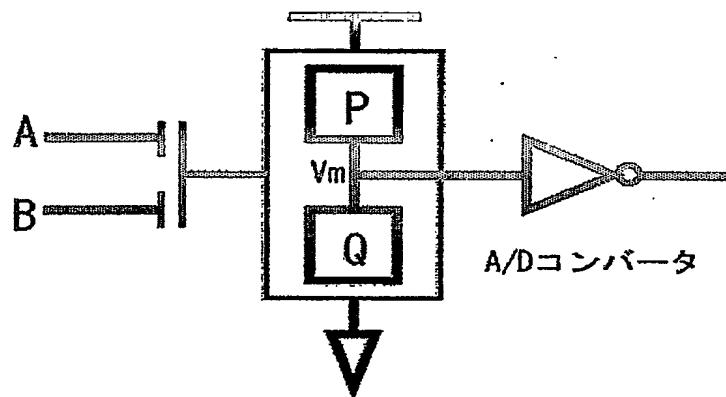
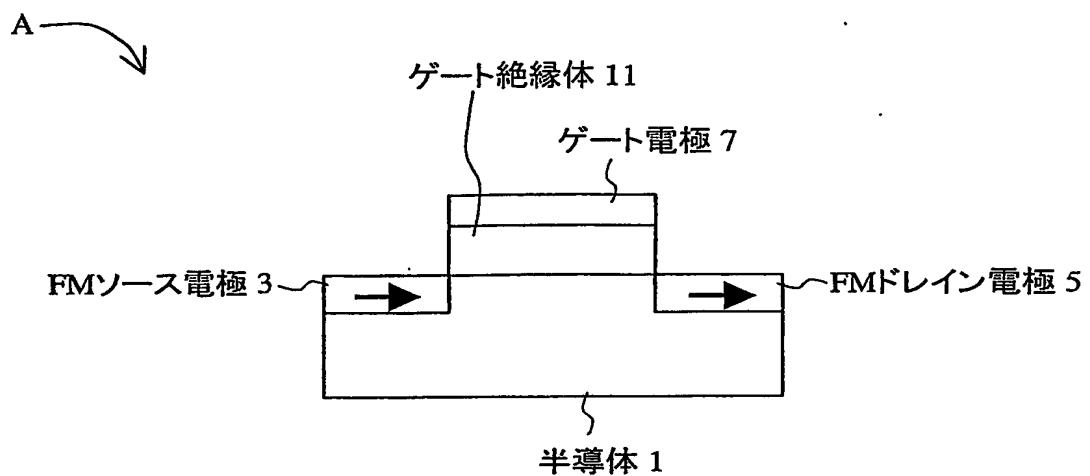


図2

(A)



(B)

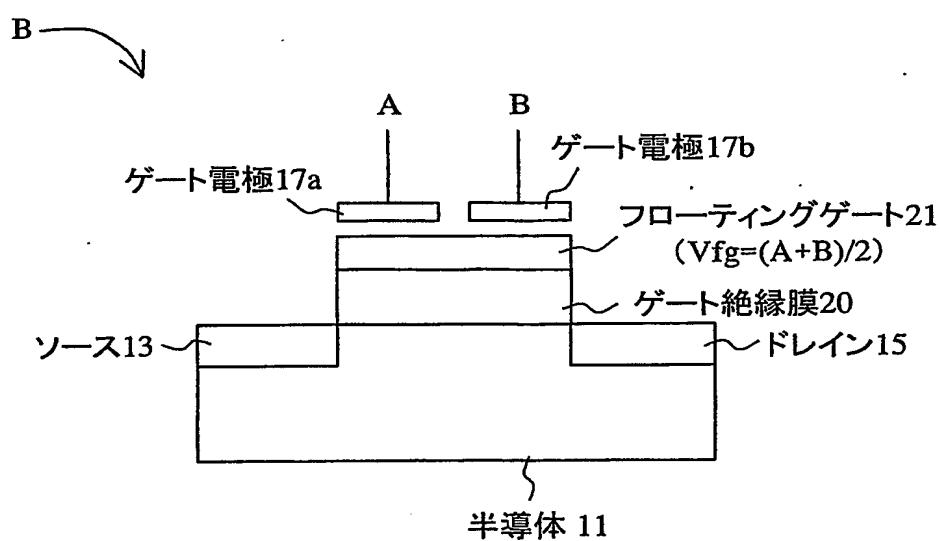


图3

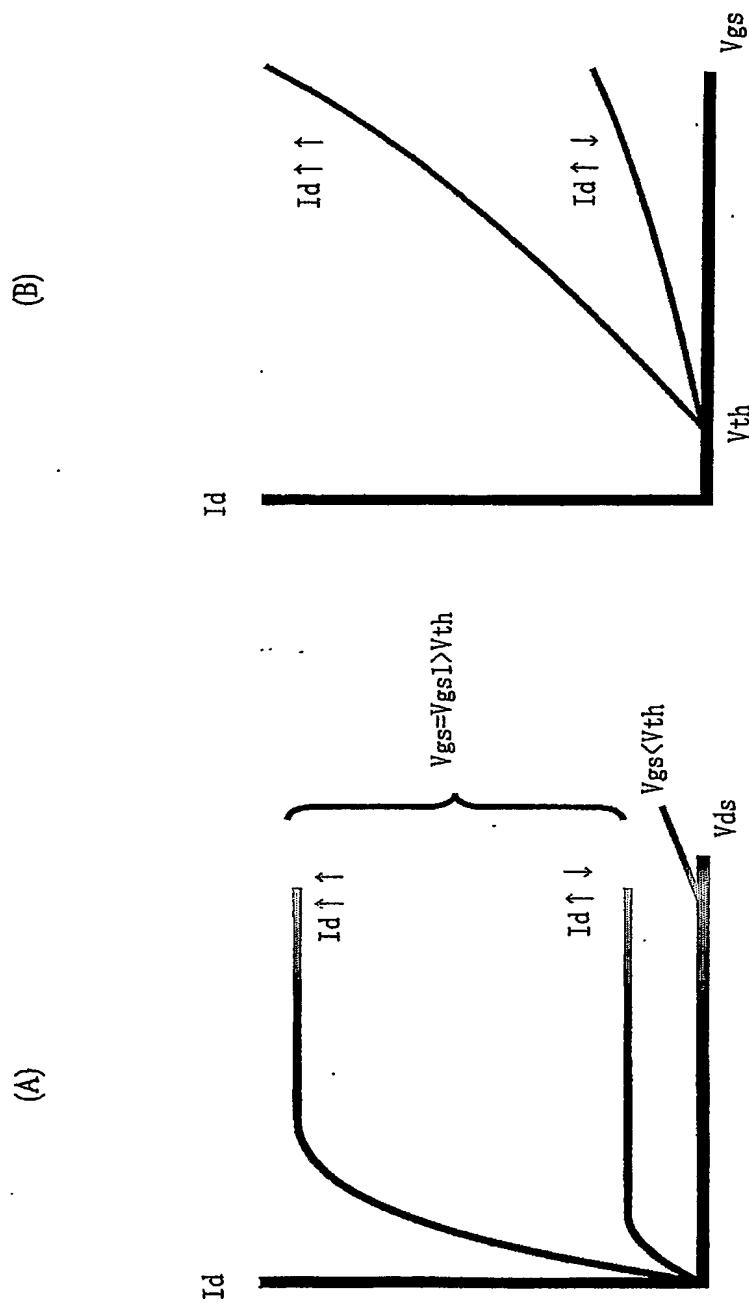


図4

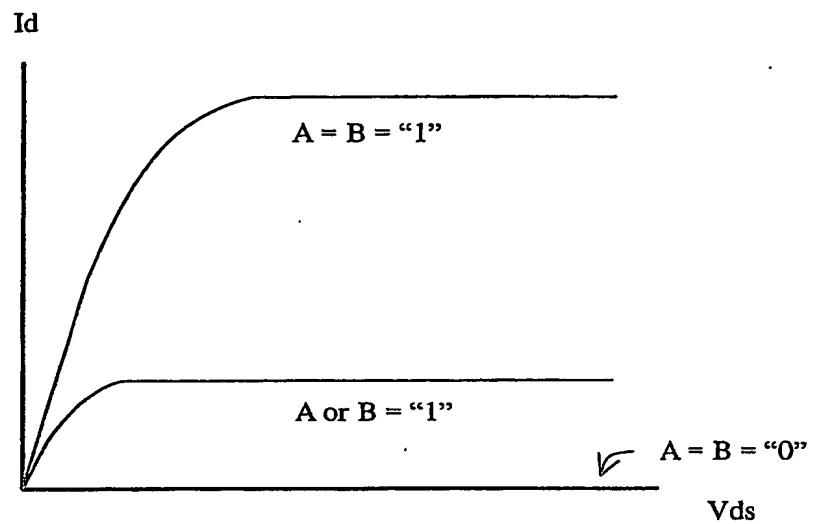


図5

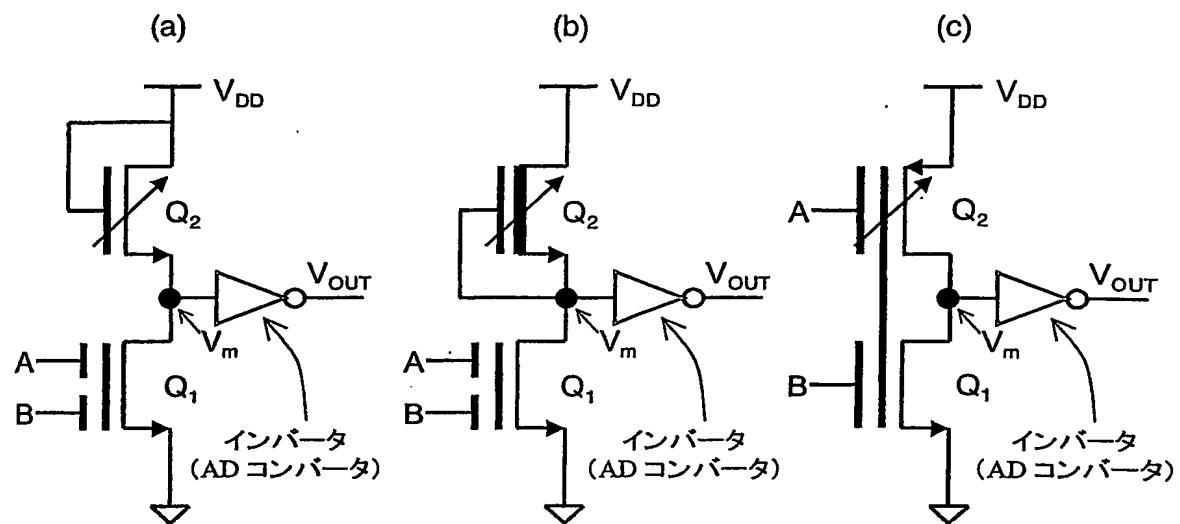


図6

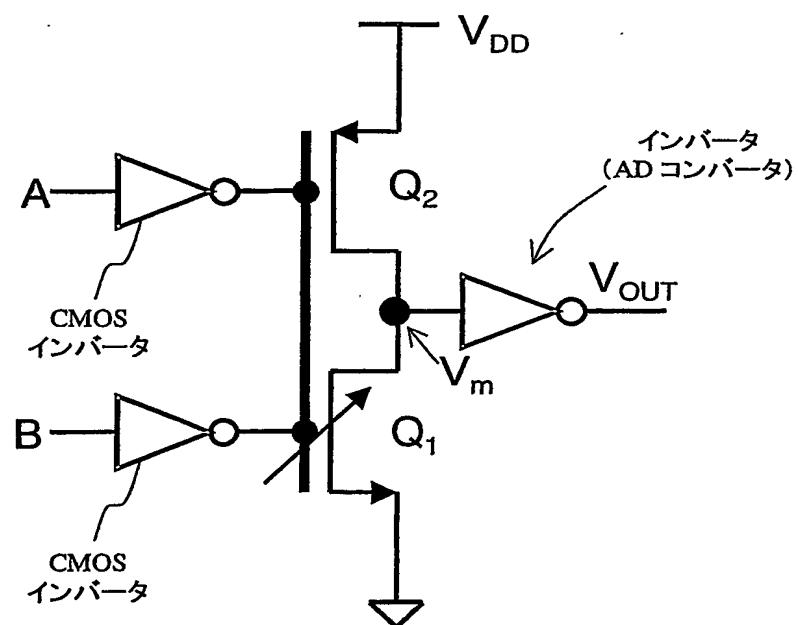


図7

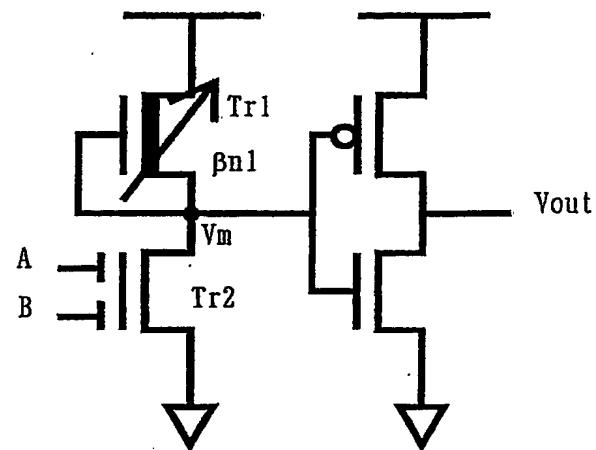
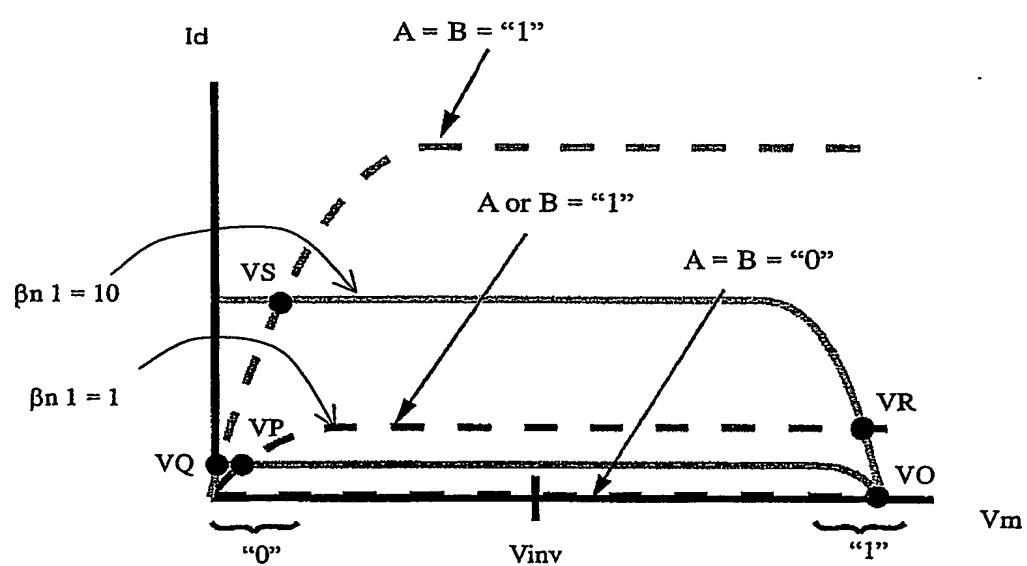


図8



义 9

(A)				(B)			
$\beta n1 = 1$				$\beta n1 = 10$			
A	B	V <sub>m</sub>	V <sub>out</sub>	A	B	V <sub>m</sub>	V <sub>out</sub>
0	0	V <sub>O</sub>	“0”	0	0	V <sub>O</sub>	“0”
0	1	V <sub>P</sub>	“1”	0	1	V <sub>R</sub>	“0”
1	1	V <sub>Q</sub>	“1”	1	1	V <sub>S</sub>	“1”

10

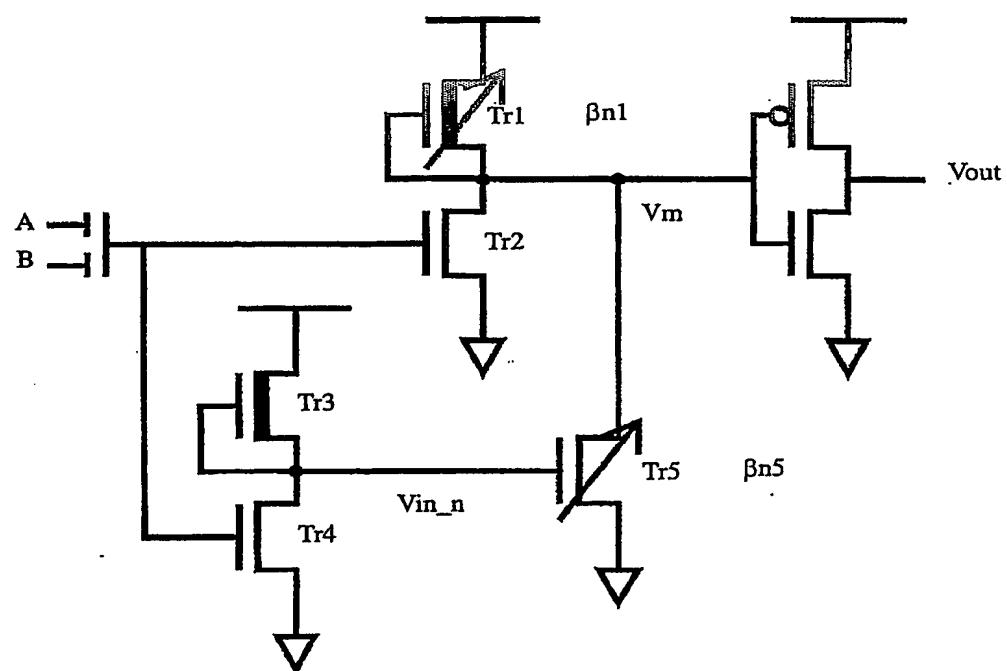
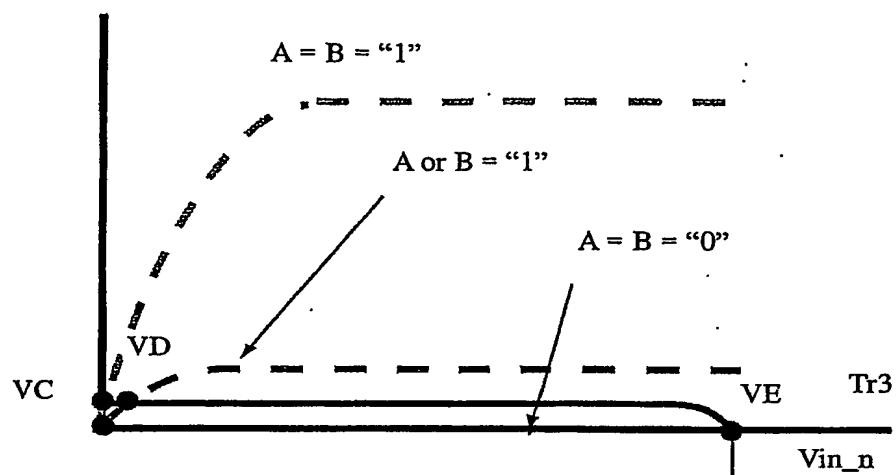


図11

Id of Tr3, Tr4



Id of Tr5

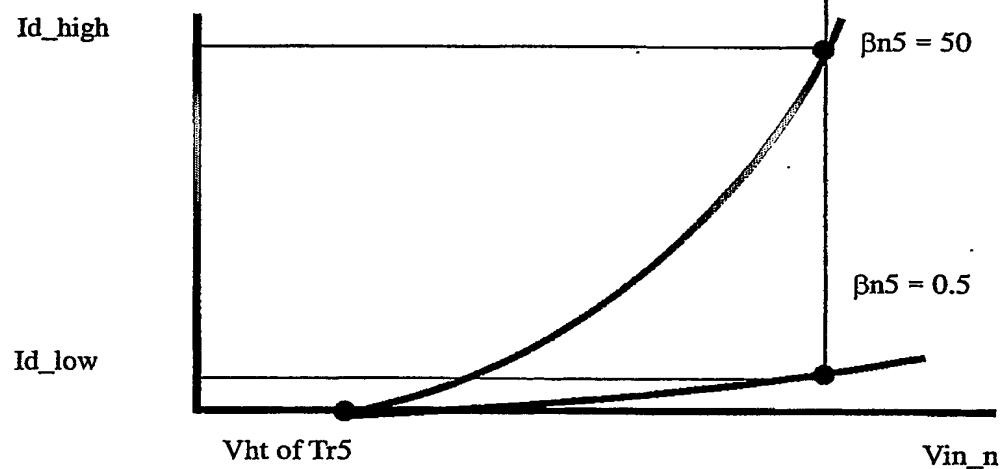


図12

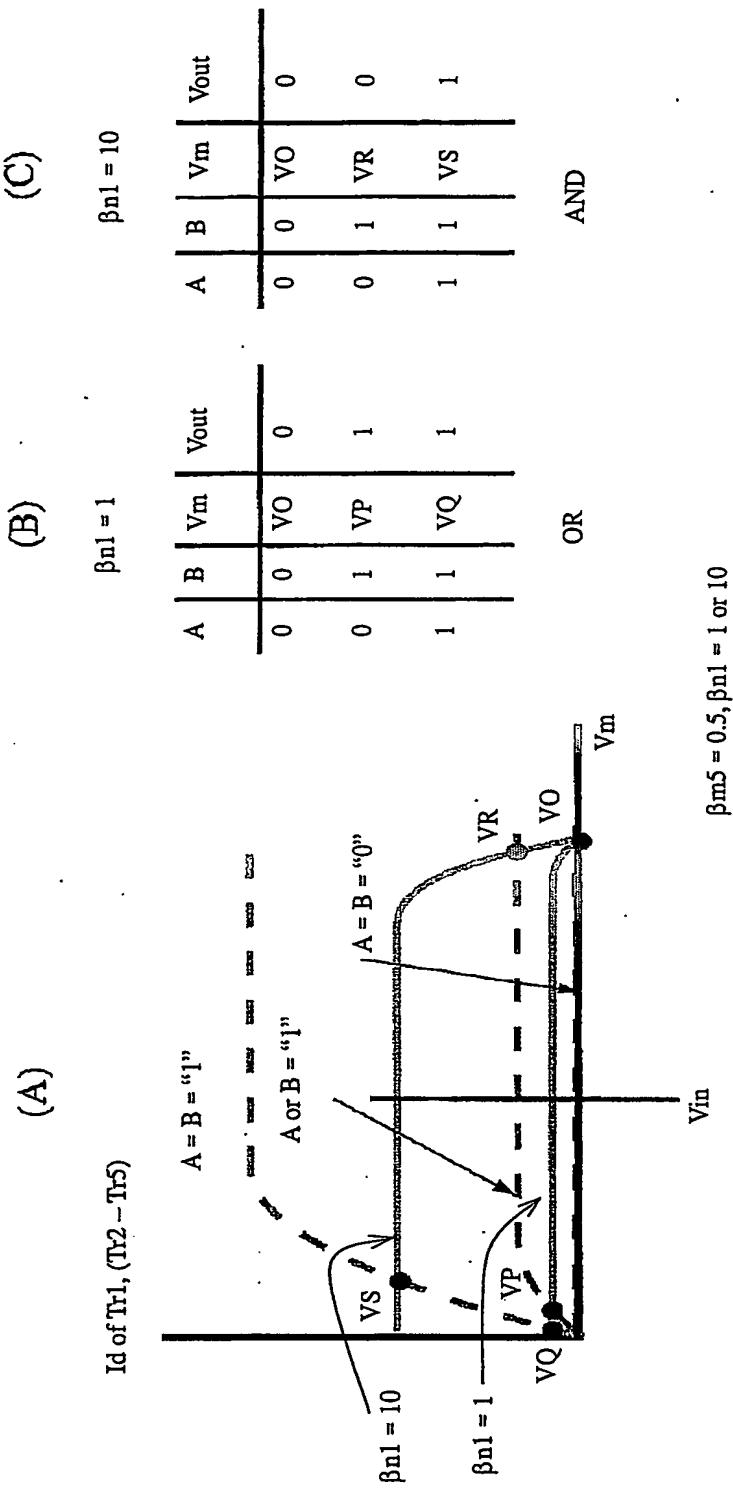
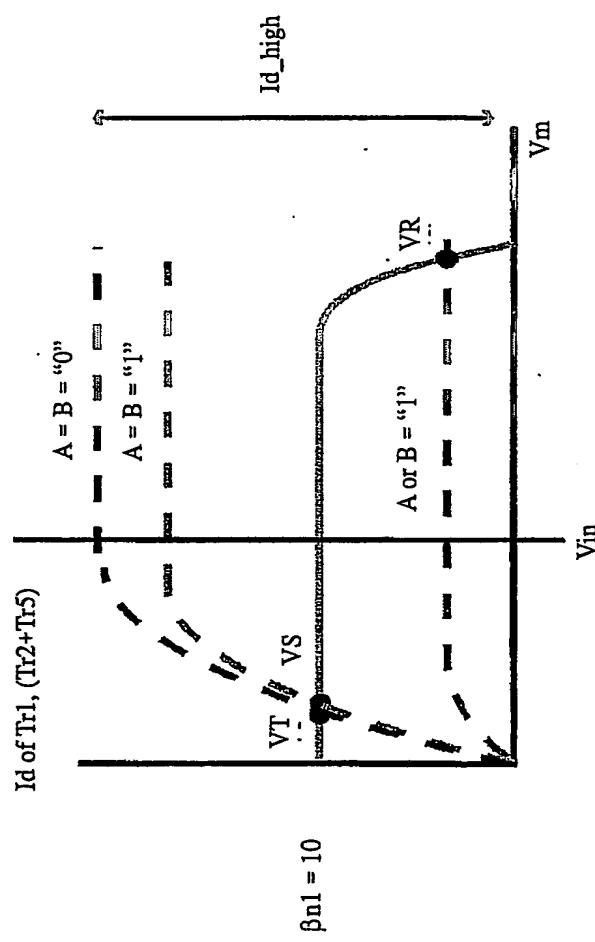


图13

(A)

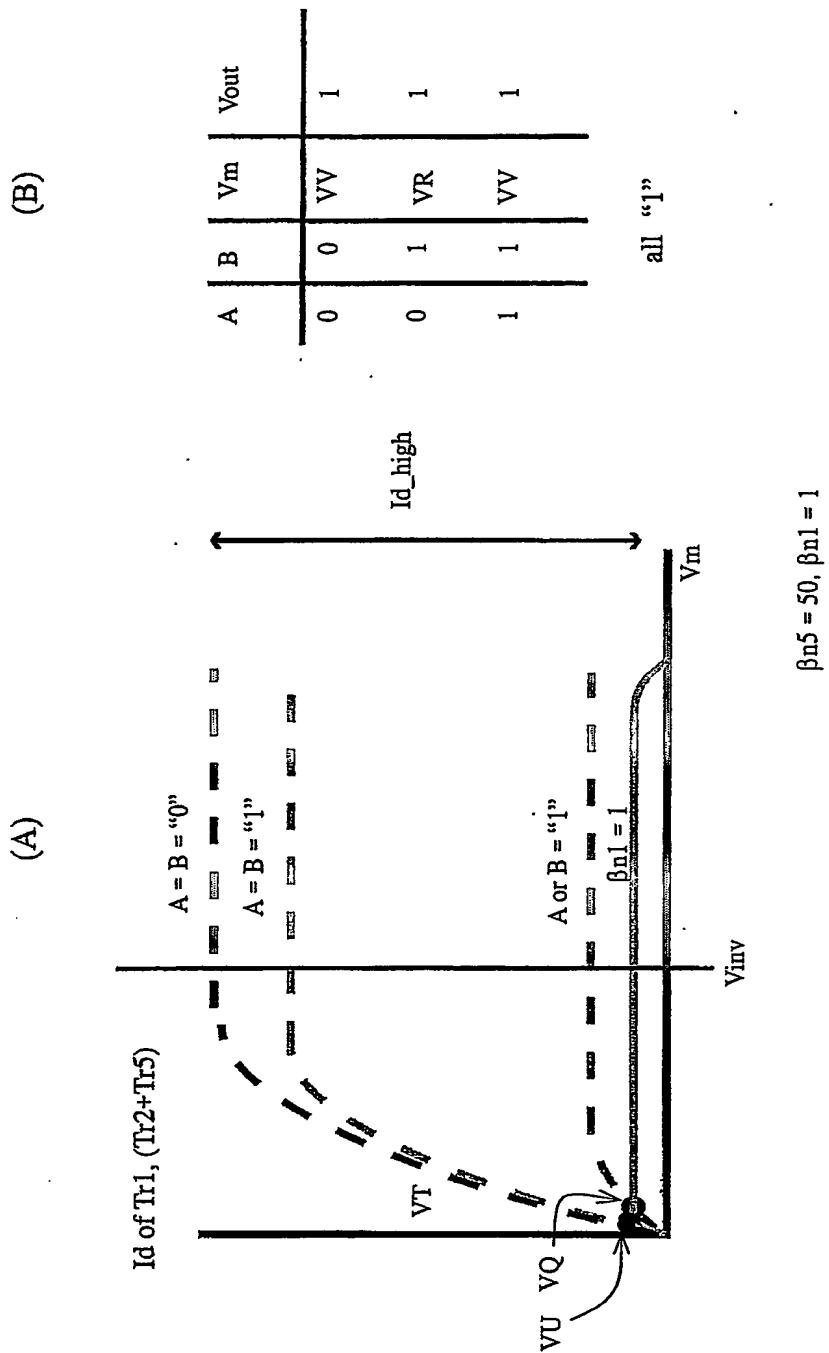


(B)

		V <sub>m</sub>		V <sub>out</sub>
A	B	V <sub>m</sub>		V <sub>out</sub>
0	0	V <sub>T</sub>		0
0	1	V <sub>R</sub>	0	
1	1	V <sub>S</sub>	1	

 $\beta_{n5} = 50, \beta_{n1} = 10$

FIG 14



$$\beta_{n5} = 50, \beta_{n1} = 1$$

図15

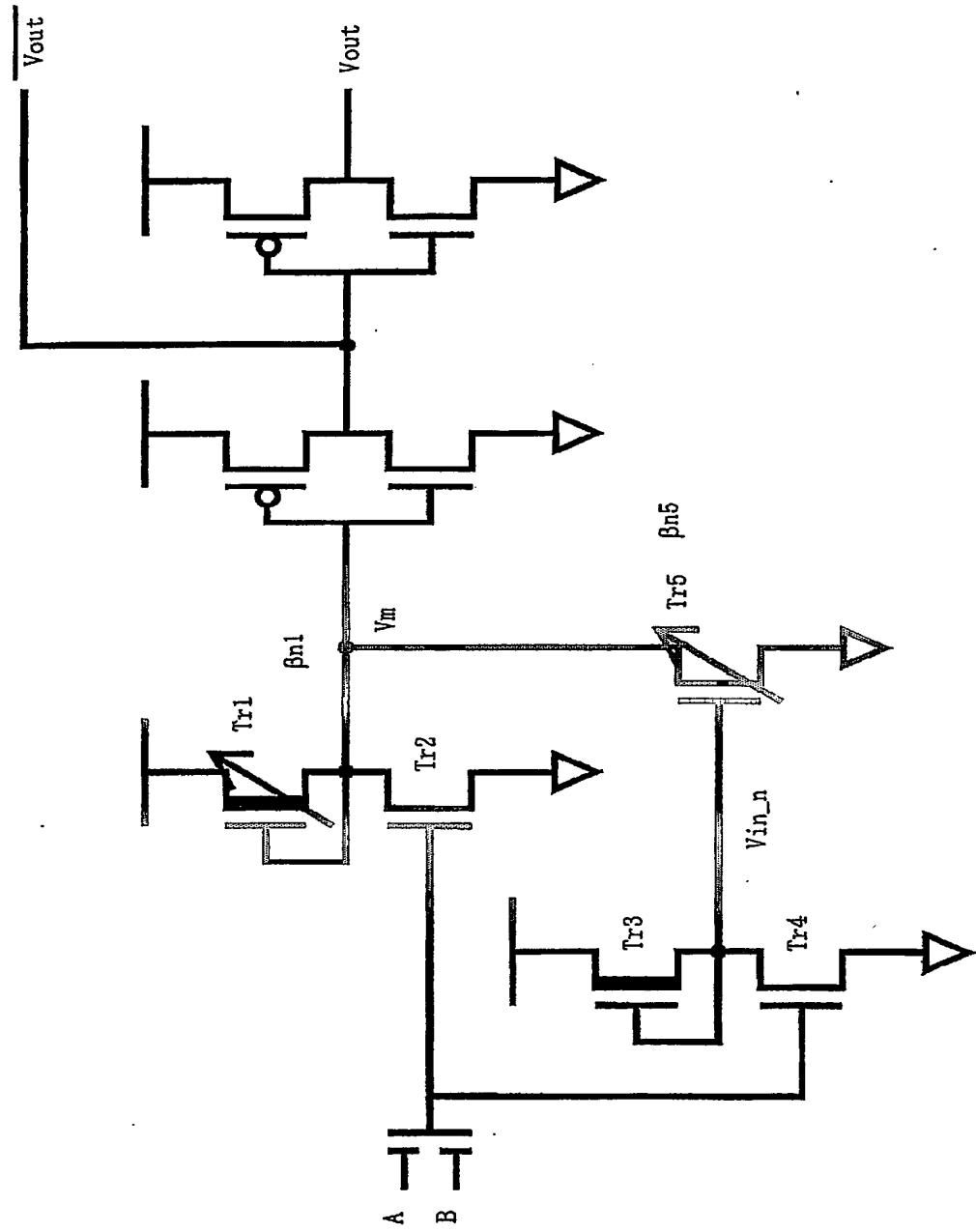


图16

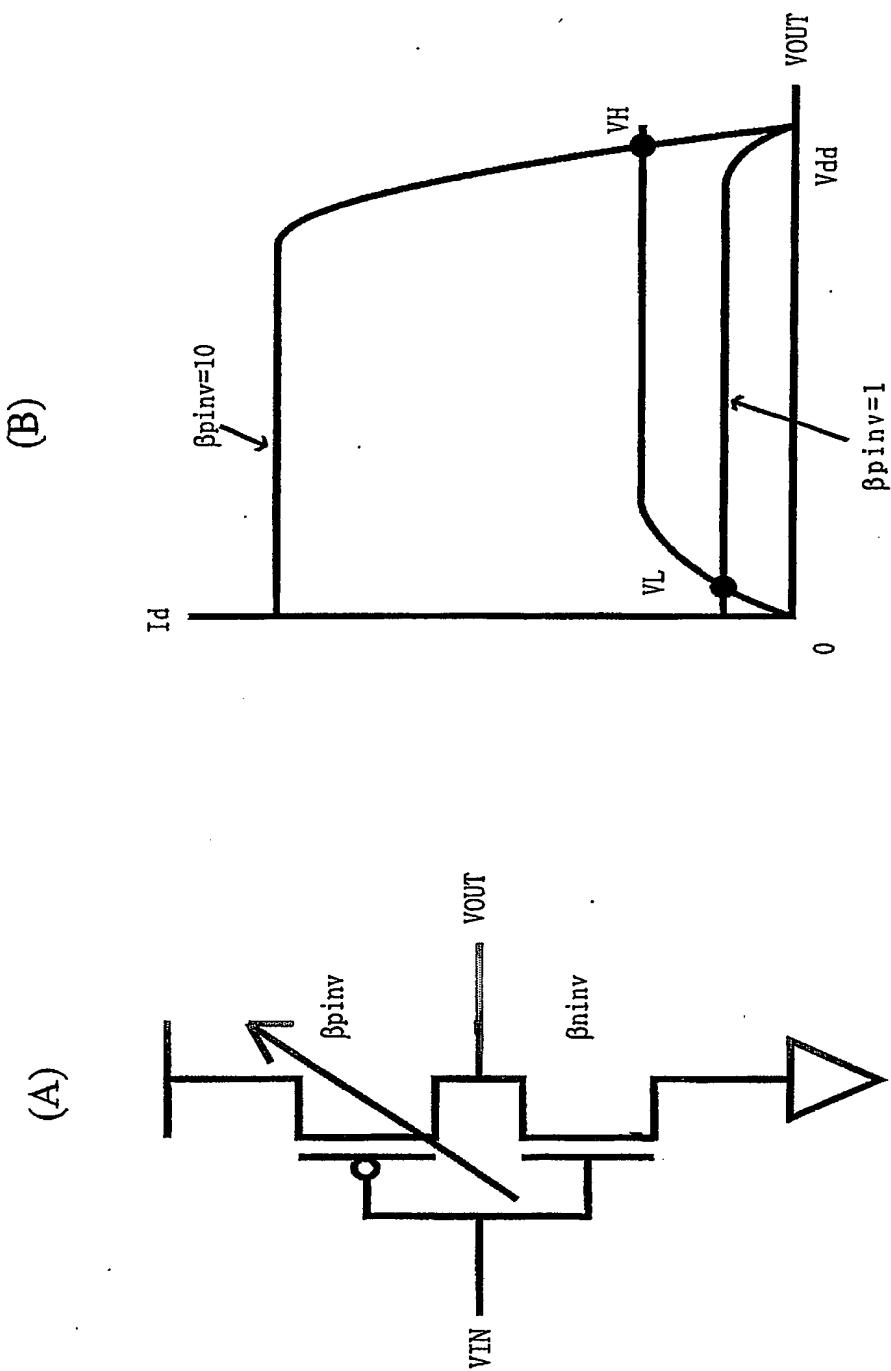


図17

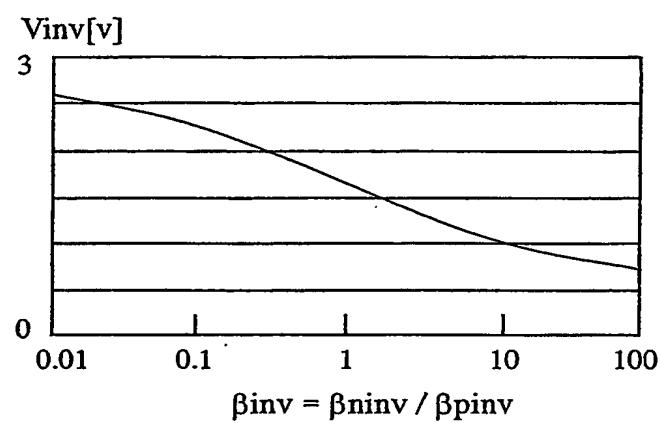


図18

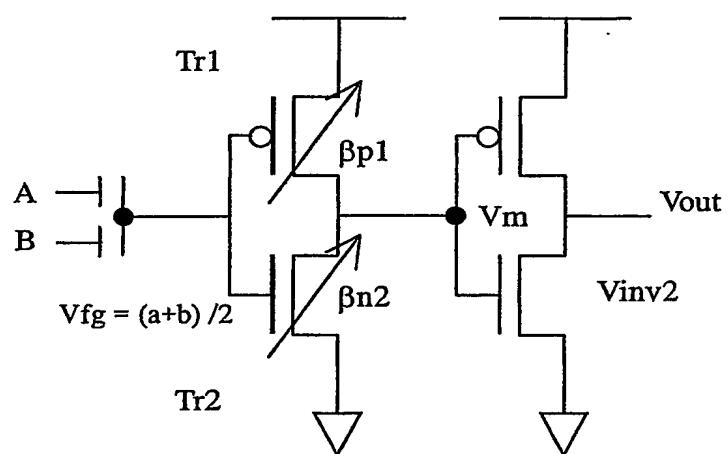
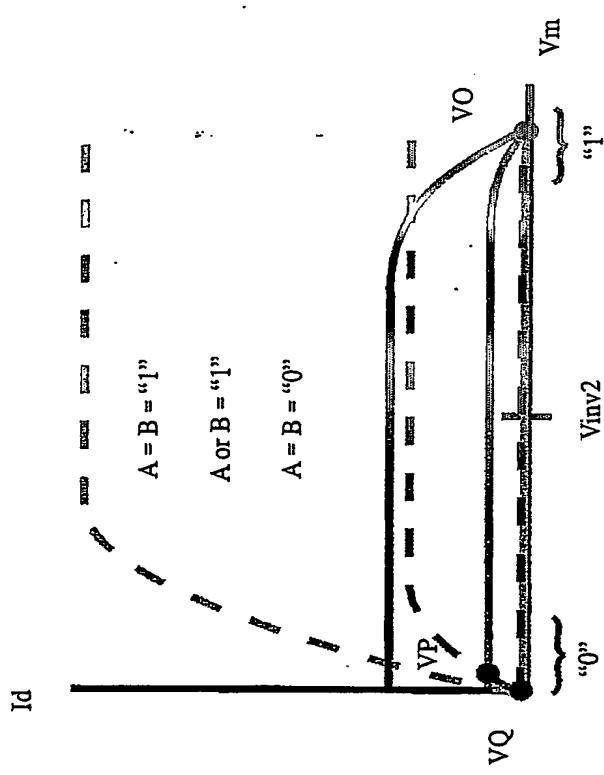
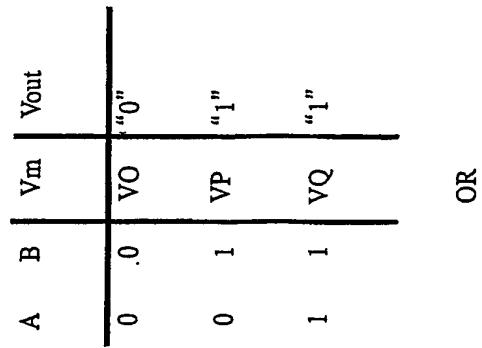


図19

(A)



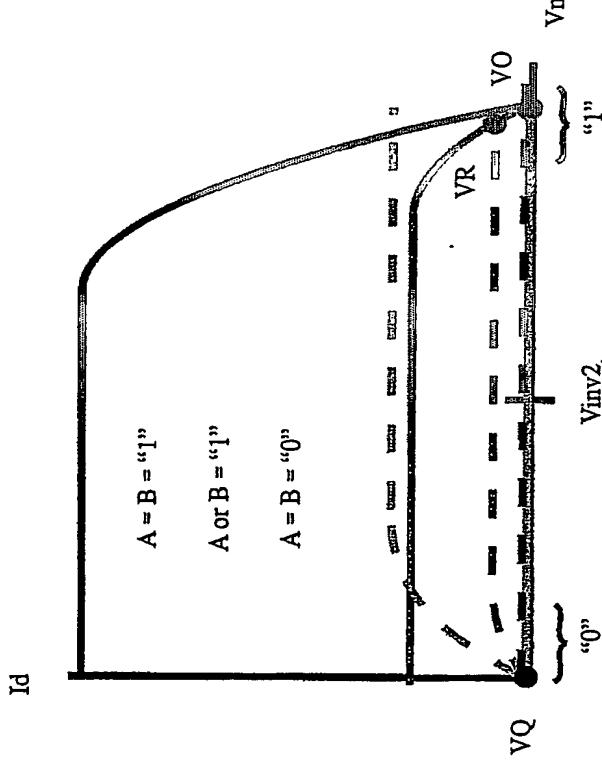
(B)



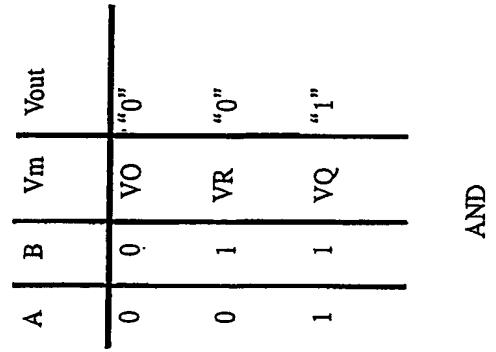
$$\beta_{p1} = 1, \beta_{n2} = 10$$

20

(A)



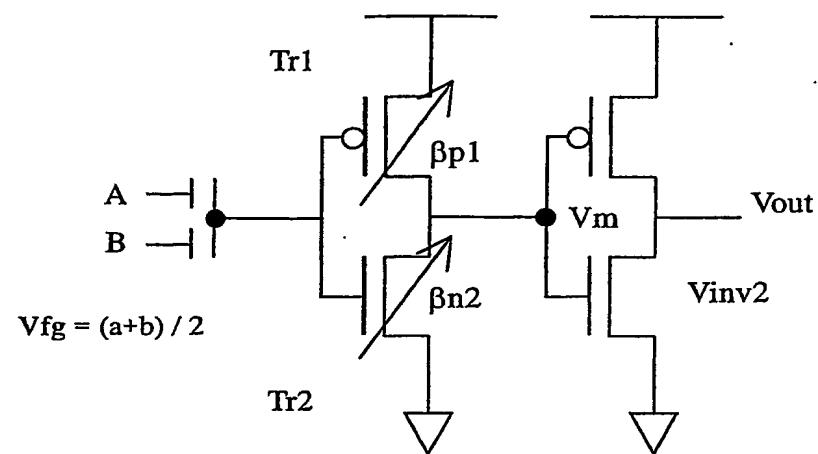
(B)



AND

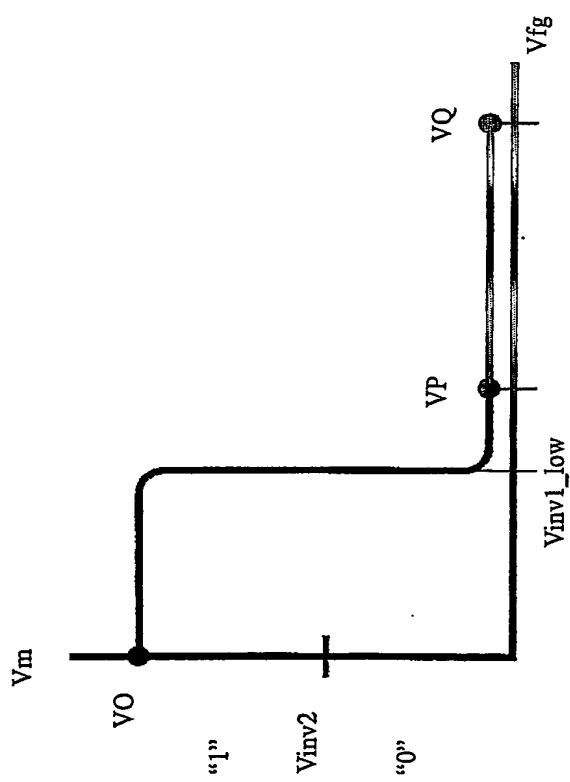
$$\beta_{p1} = 10, \beta_{n2} = 1$$

図21



22

(A)



(B)

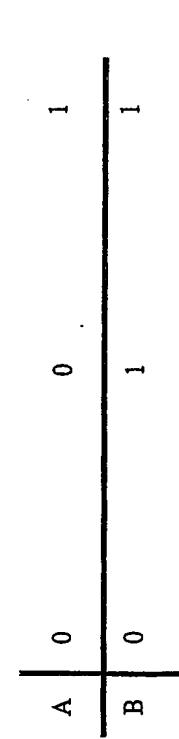
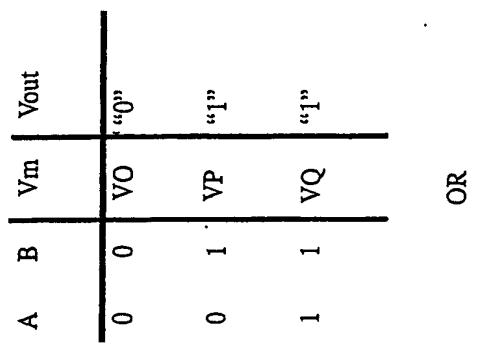
 $V_{inv1\_low}$  ( $\beta_{p1} = 1$ ,  $\beta_{n2} = 10$ )

図23

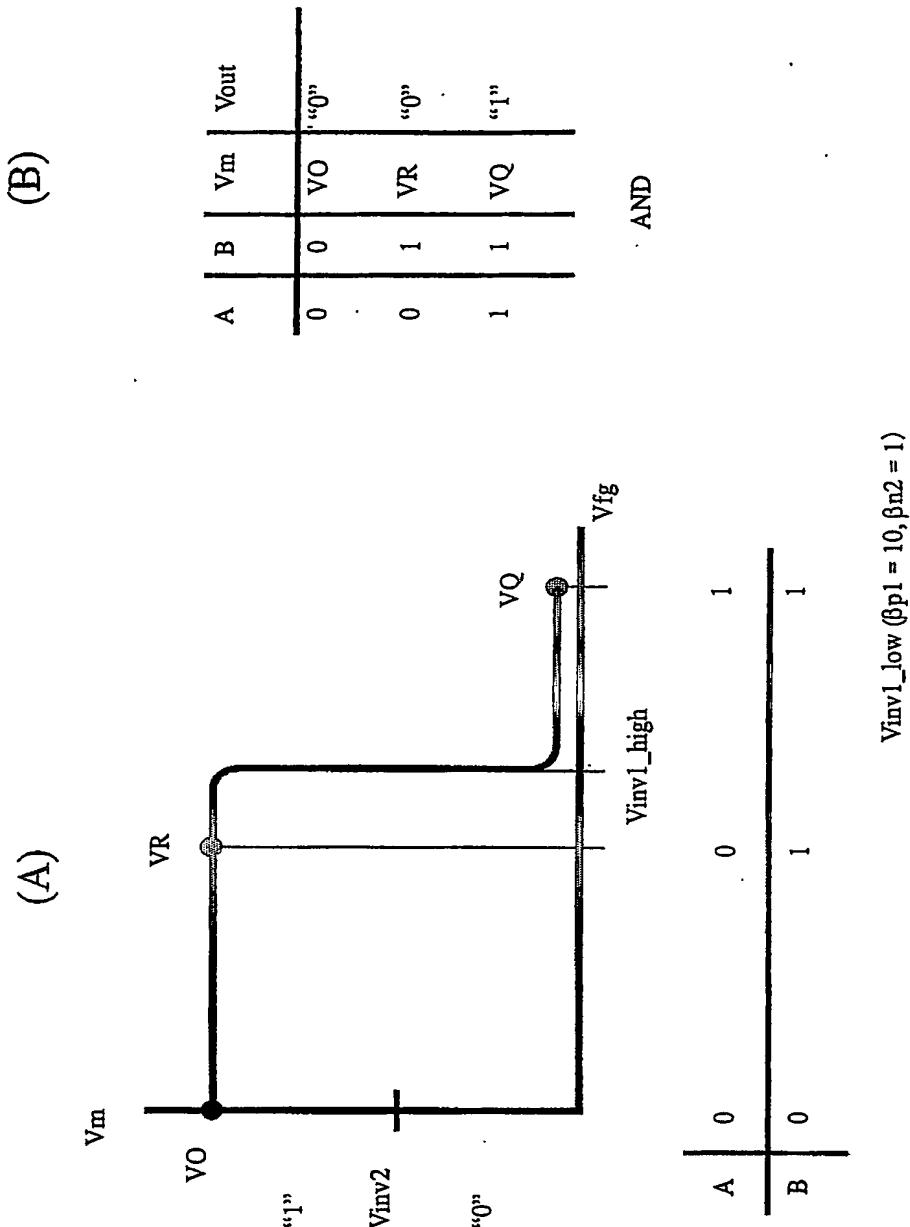


図24

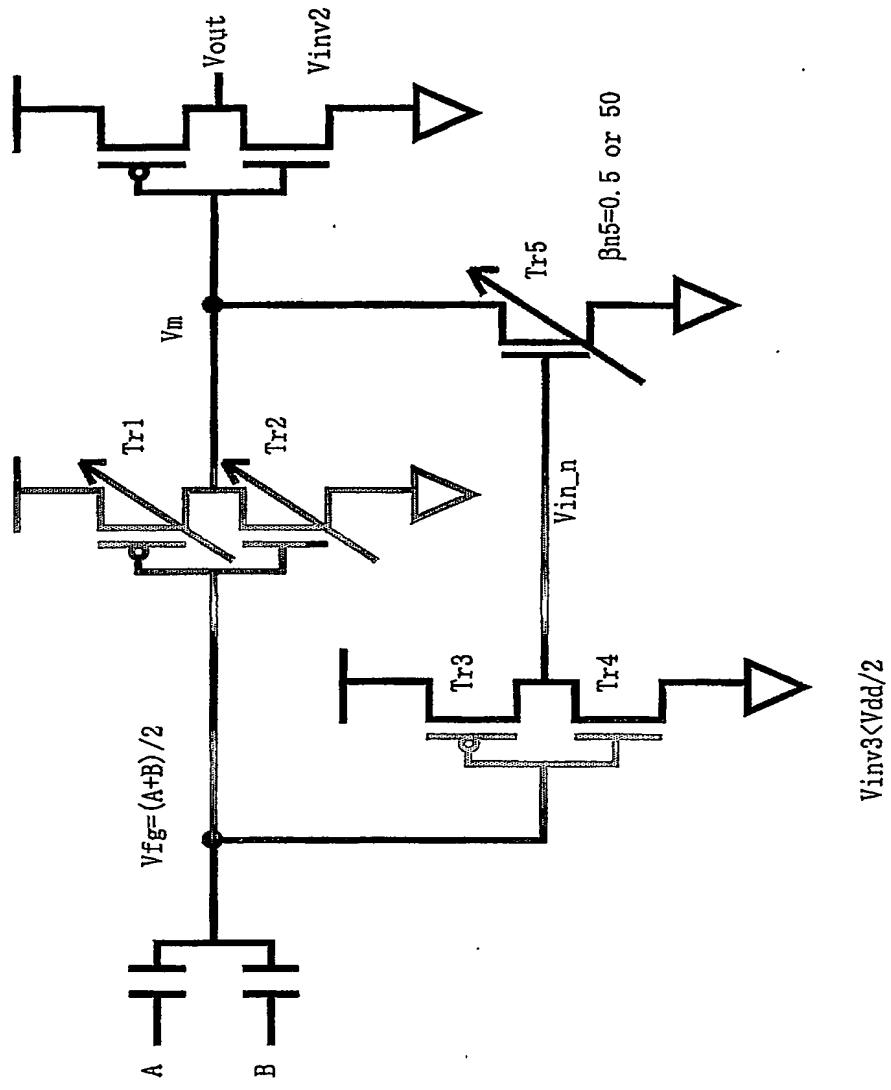
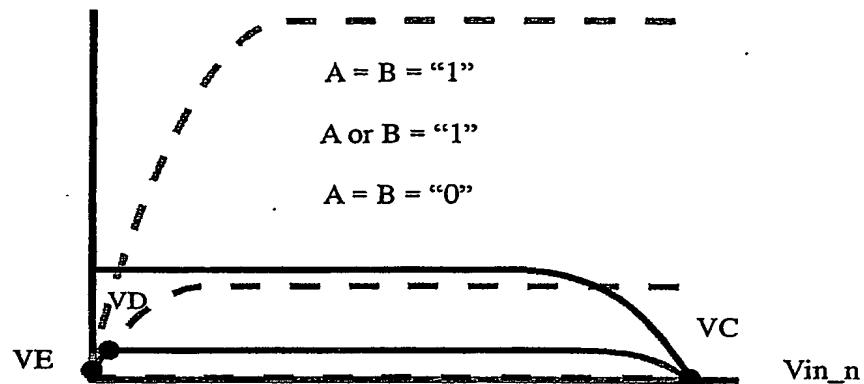


図25

Id of Tr3, Tr4



Id of Tr5

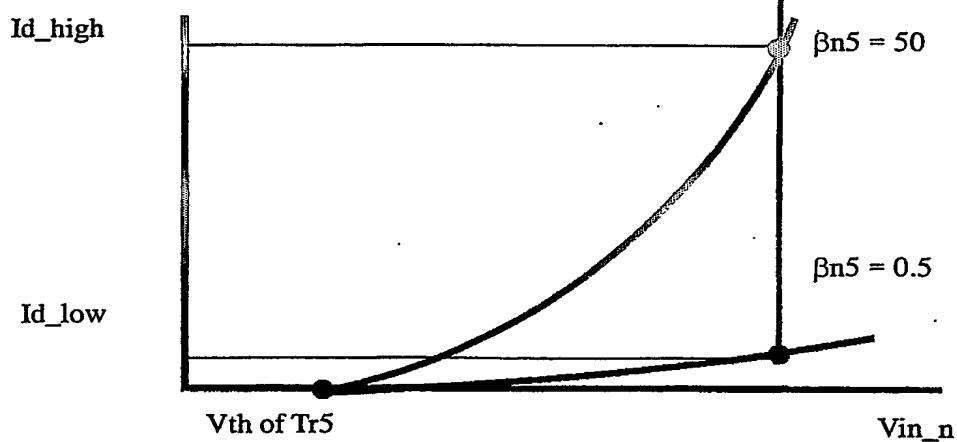
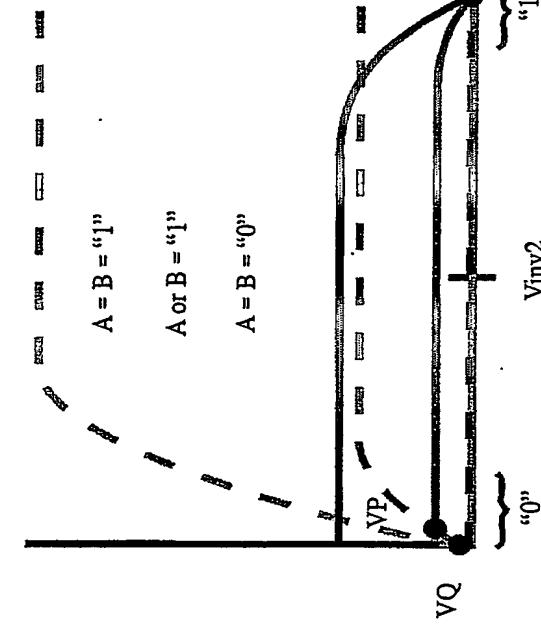


図26

(A)

Id of Tr1, (Tr2 + Tr5)



(B)

		$V_m$	$V_{out}$
A	B		
0	0	$V_O$	"0"
0	1	$V_P$	"1"
1	1	$V_Q$	"1"

OR

 $\beta_{p1} = 1, \beta_{n2} = 10, \beta_{n5} = 0.5$

图27

(A)

Id of Tr1, (Tr2 + Tr5)

(B)

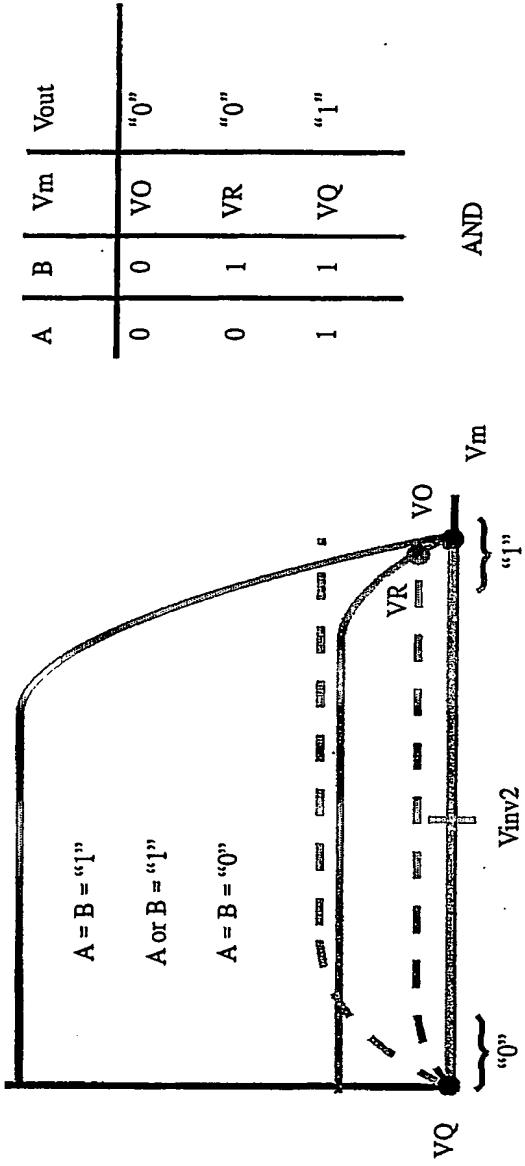
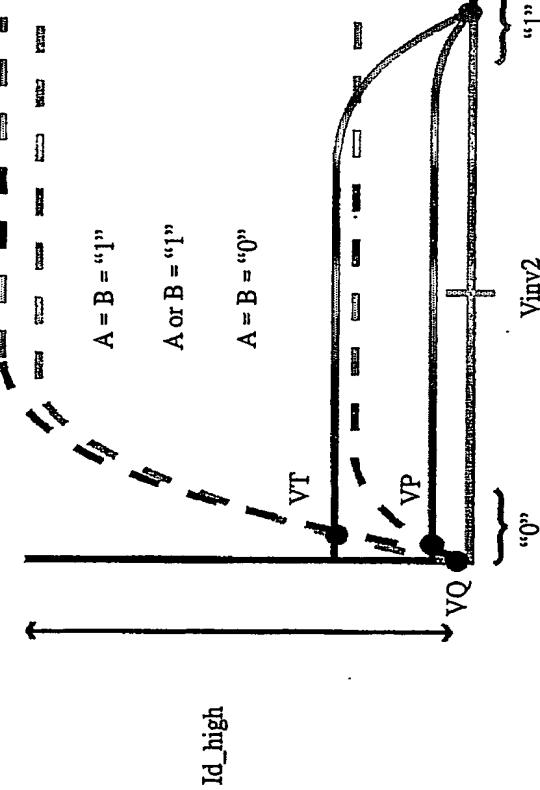

 $\beta_{p1} = 10, \beta_{n2} = 1, \beta_{n5} = 0.5$

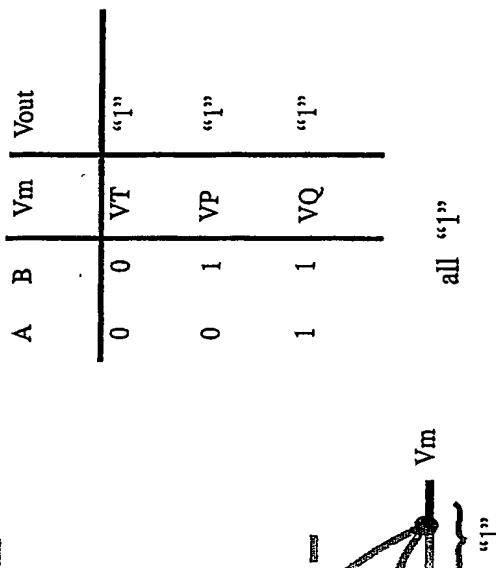
图28

(A)

Id of Tr1, (Tr2 + Tr5)



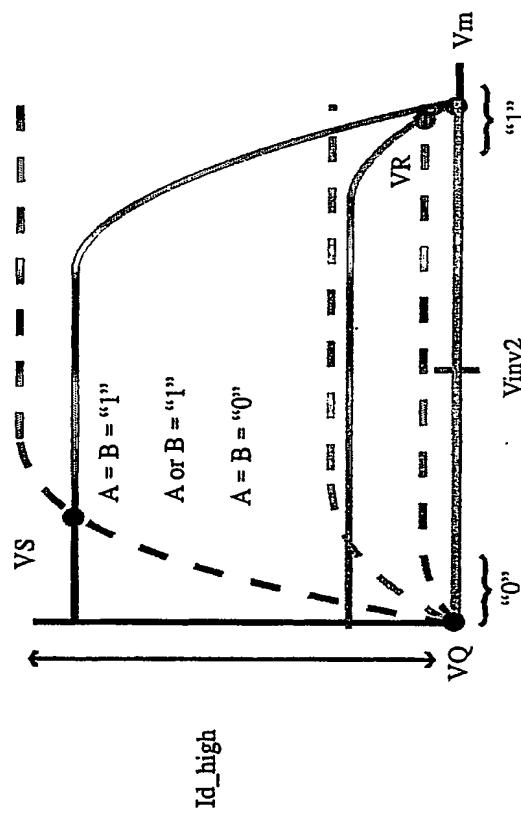
(B)

 $\beta_{p1} = 1, \beta_{n2} = 10, \beta_{n5} = 50$

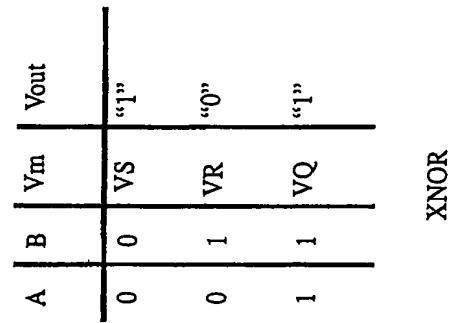
29

(A)

Id of Tr1, (Tr2 + Tr5)



(B)



$$\beta_{p1} = 10, \beta_{n2} = 1, \beta_{n5} = 50$$

図30

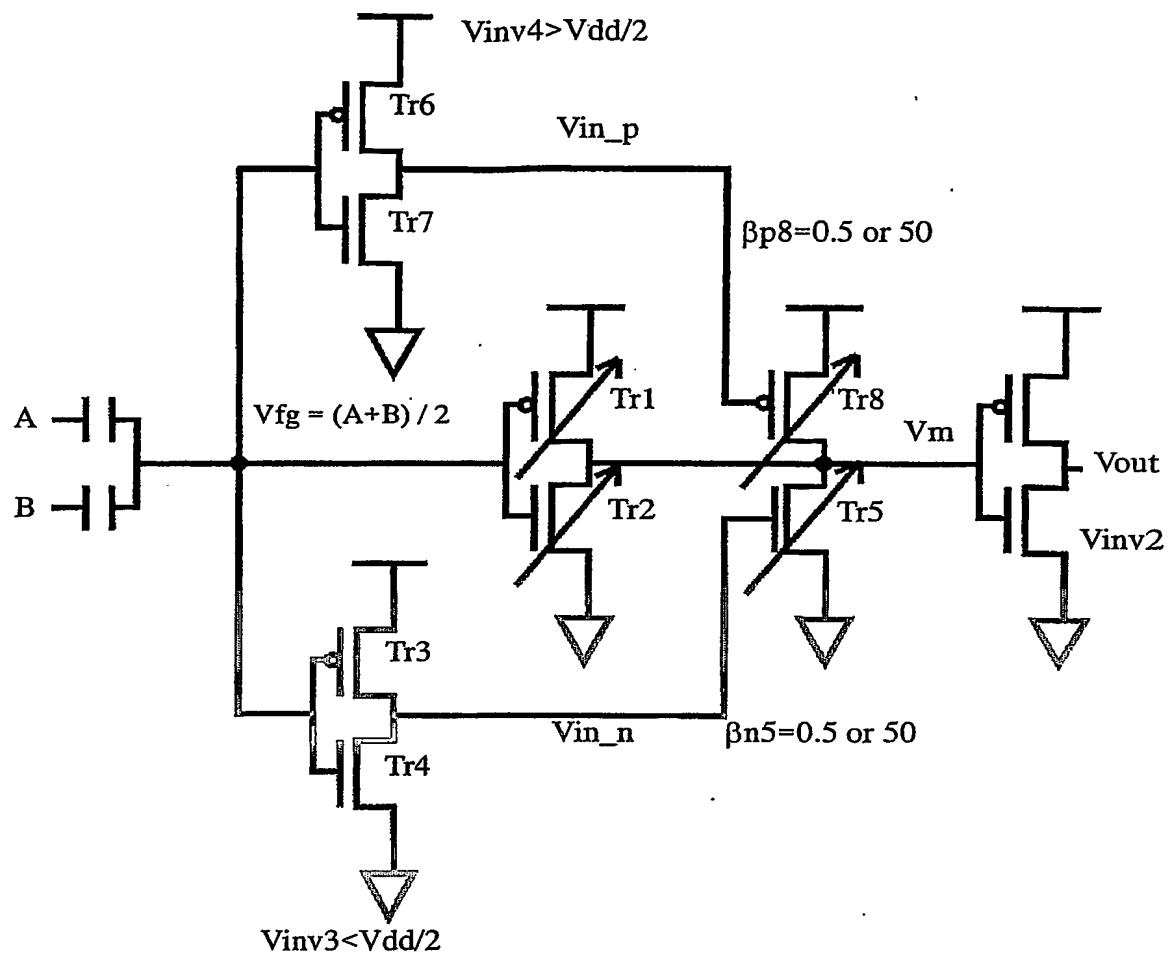
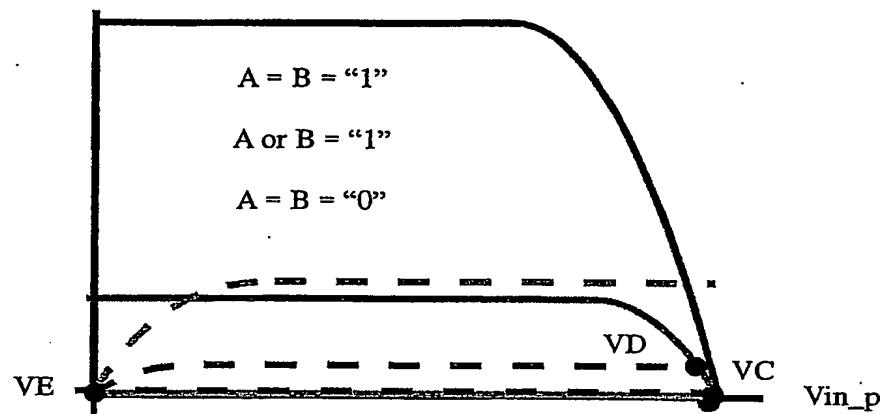


図31

Id of Tr6, Tr7



Id of Tr8

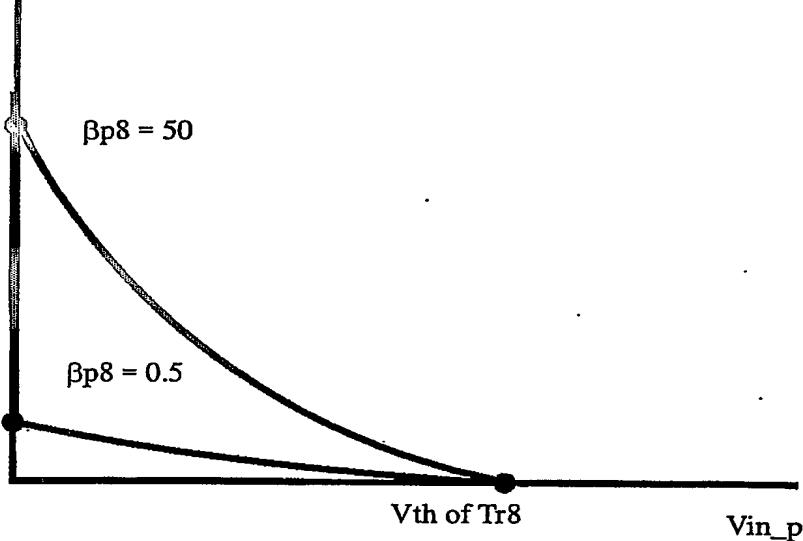
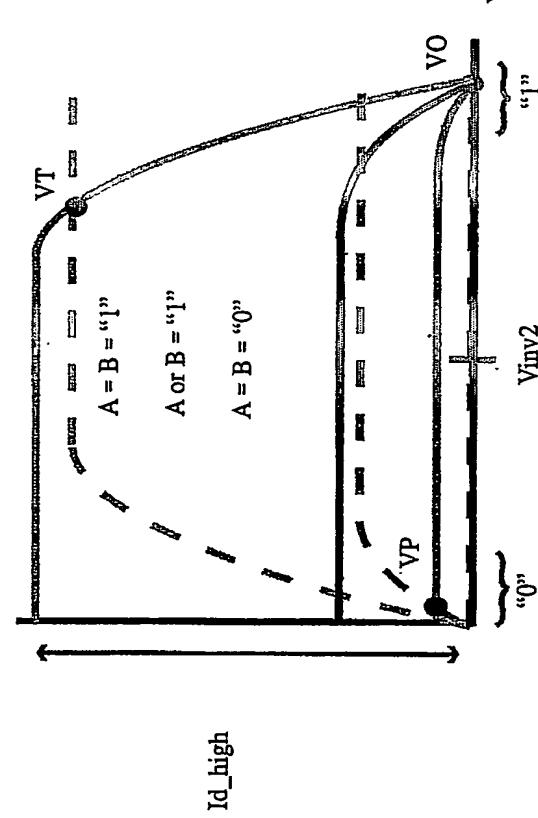
 $Id_{\text{high}}$  $Id_{\text{low}}$ 

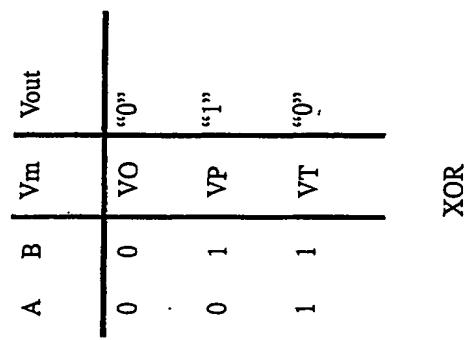
図32

(A)

Id of (Tr1 + Tr8), (Tr2 + Tr5)



(B)

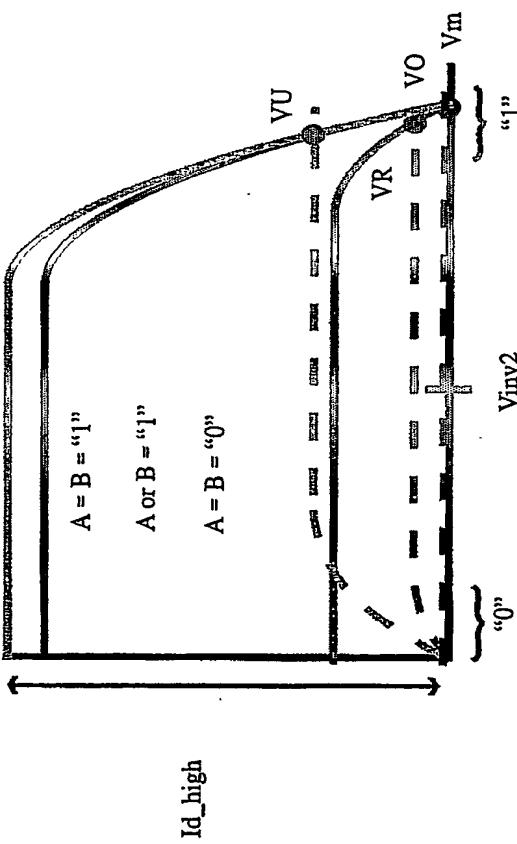


$$\beta_{p1} = 1, \beta_{n2} = 10, \beta_{n5} = 0.5, \beta_{p8} = 50$$

33

(A)

Id of (Tr1 + Tr8), (Tr2 + Tr5)



四

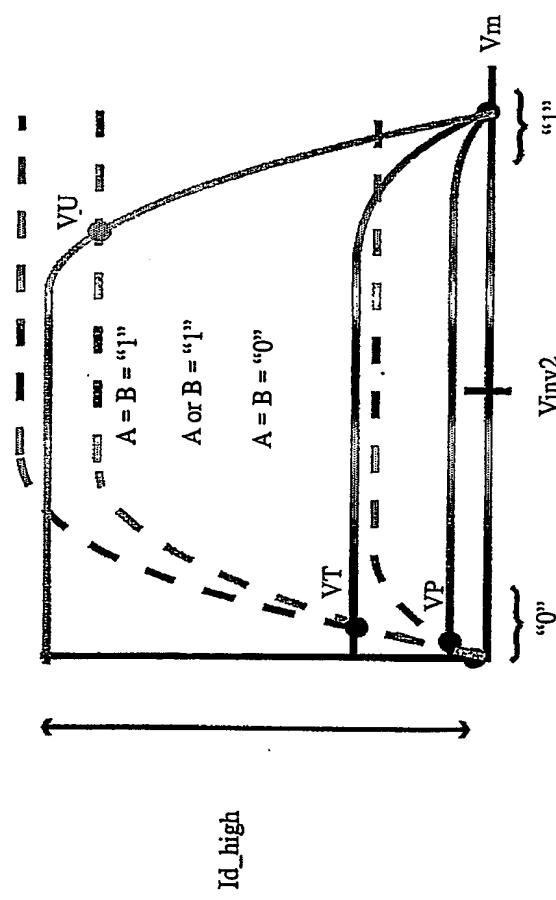
A	B	V <sub>m</sub>	V <sub>out</sub>
0	0	V <sub>O</sub>	“0”
0	1	V <sub>R</sub>	“0”
1	1	V <sub>U</sub>	“0”

$$\beta_{p1} = 10, \beta_{n2} = 1, \beta_{n5} = 0.5, \beta_{p8} = 50$$

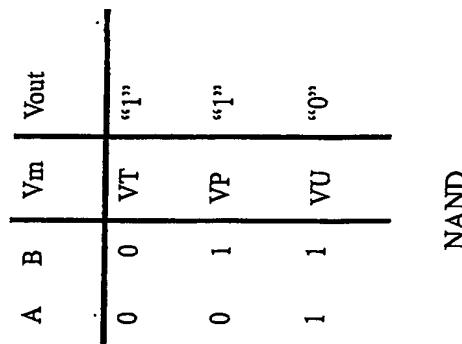
图34

(A)

Id of (Tr1 + Tr8), (Tr2 + Tr5)



(B)

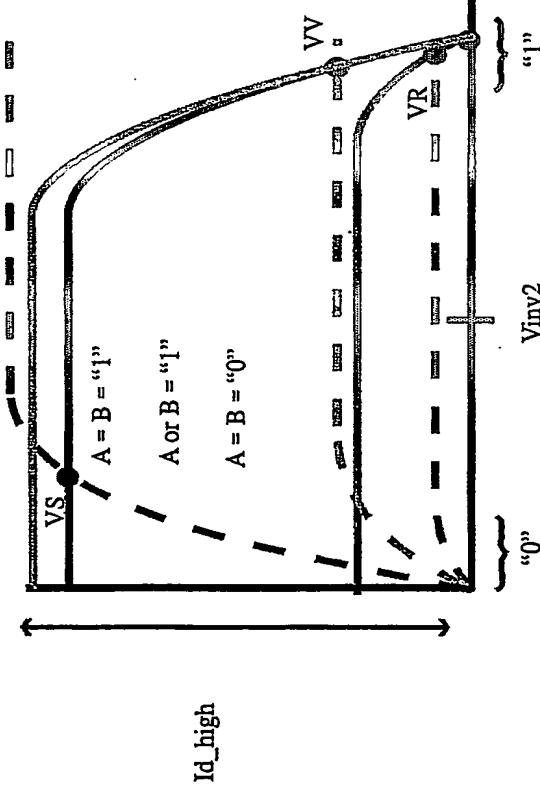


$$\beta_{p1} = 1, \beta_{n2} = 10, \beta_{n5} = 50, \beta_{p8} = 50$$

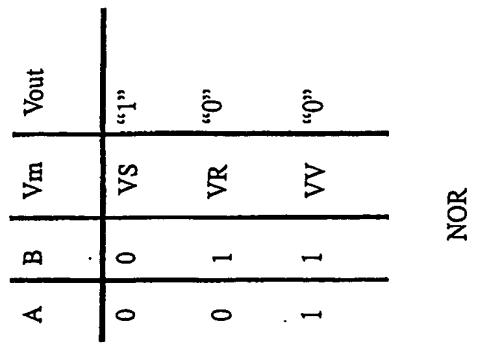
图35

(A)

Id of (Tr1 + Tr8), (Tr2 + Tr5)



(B)



$$\beta_{p1} = 10, \beta_{n2} = 1, \beta_{n5} = 50, \beta_{p8} = 50$$

図36

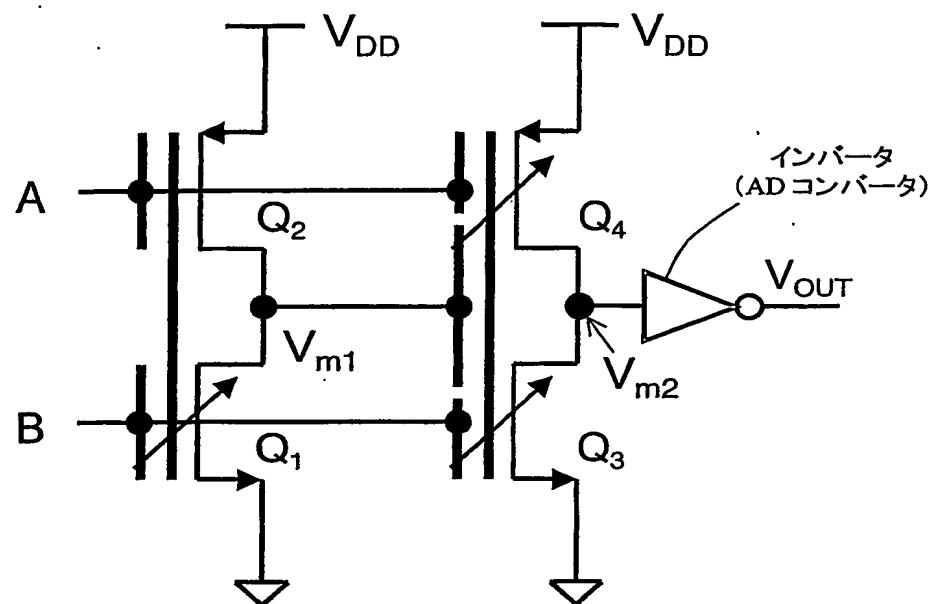


図37

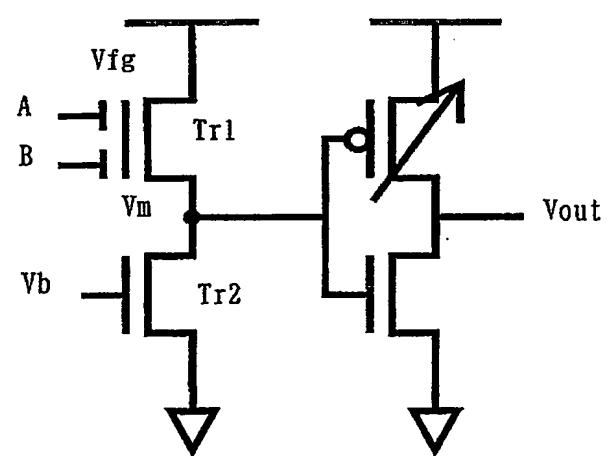


図38

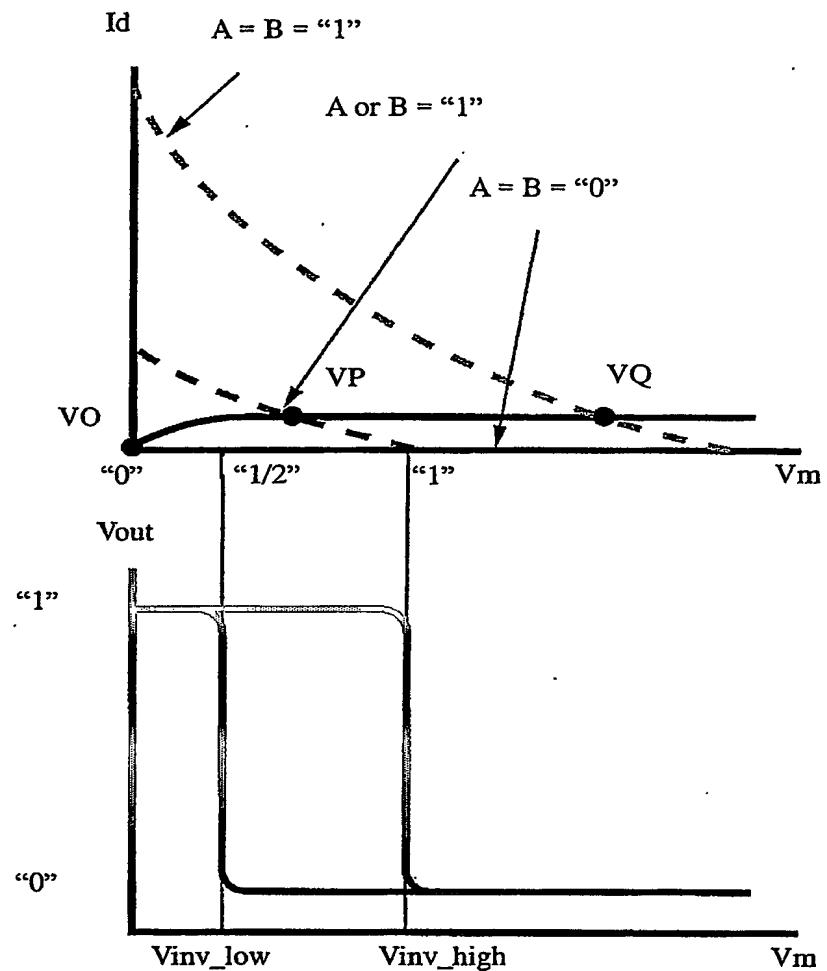


図39

		Vm	Vout	
A	B		Vinv_low	Vinv_high
0	0	VO	1	1
0	1	VP	0	1
1	1	VQ	0	0

NOR                    NAND

図40

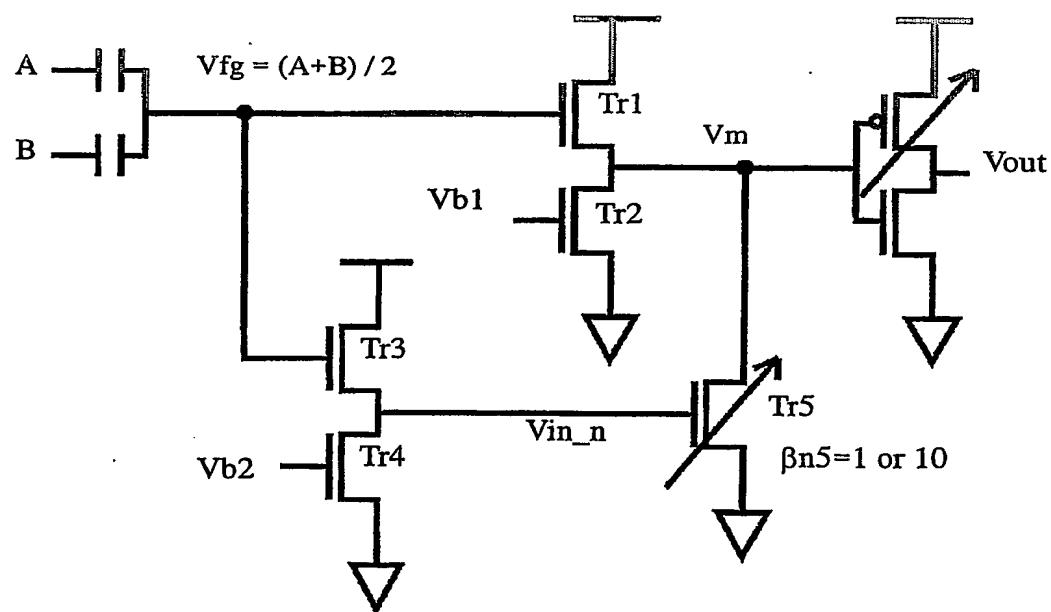
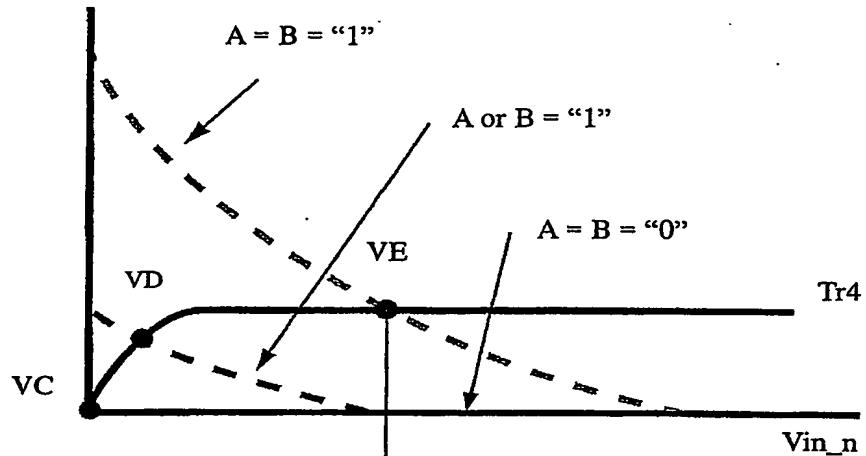


図41

Id of Tr3, Tr4



Id of Tr5

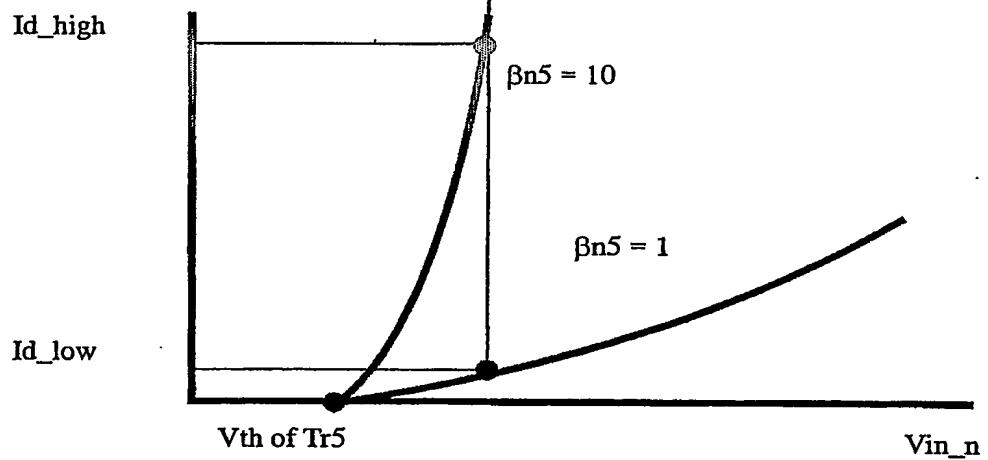
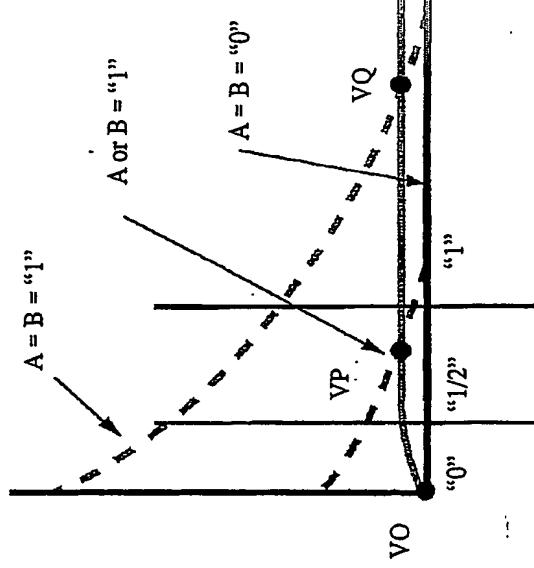


図42

(A)

Id of Tr1, (Tr2 + Tr5)



(B)

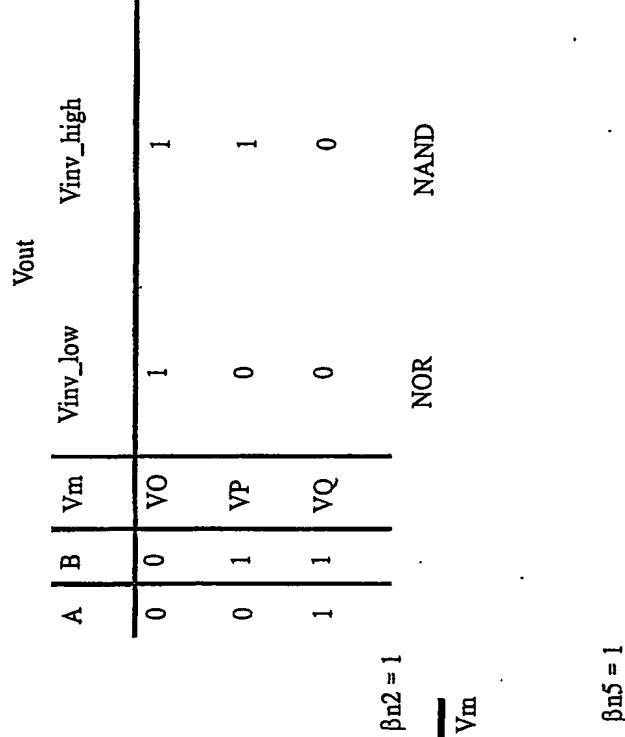
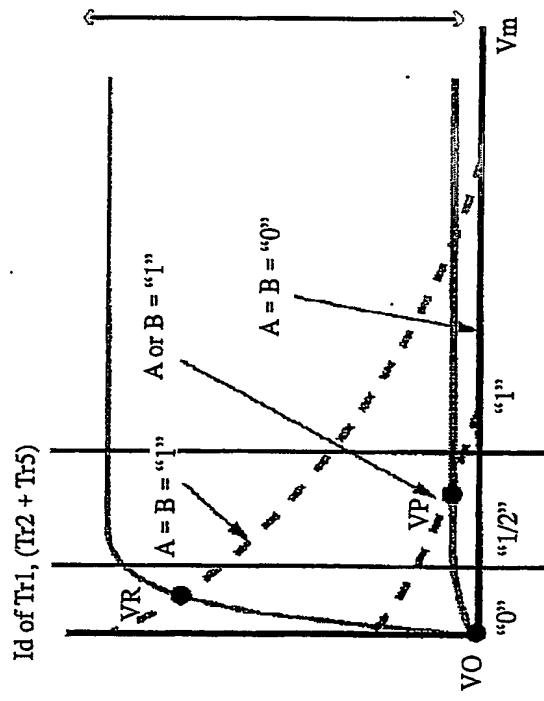
 $\beta_{n5} = 1$

FIG 4.3

(A)



(B)

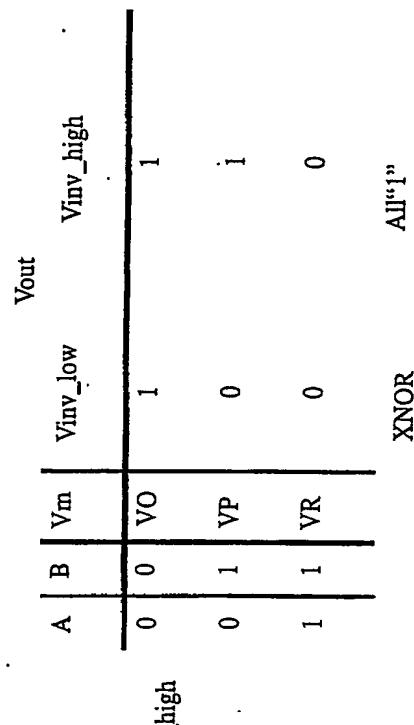
 $\beta_{n5} = 10$

図44

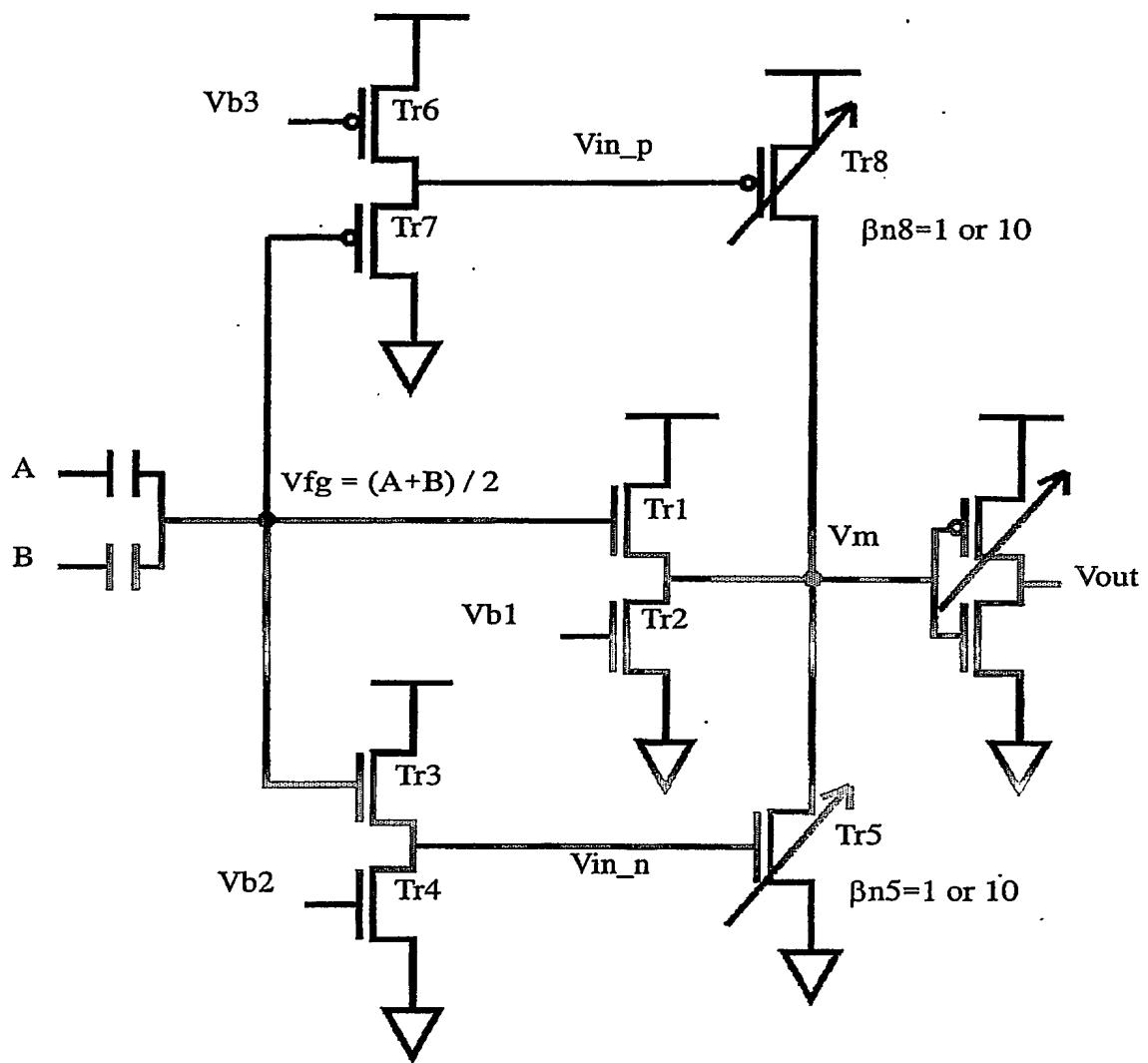


図45

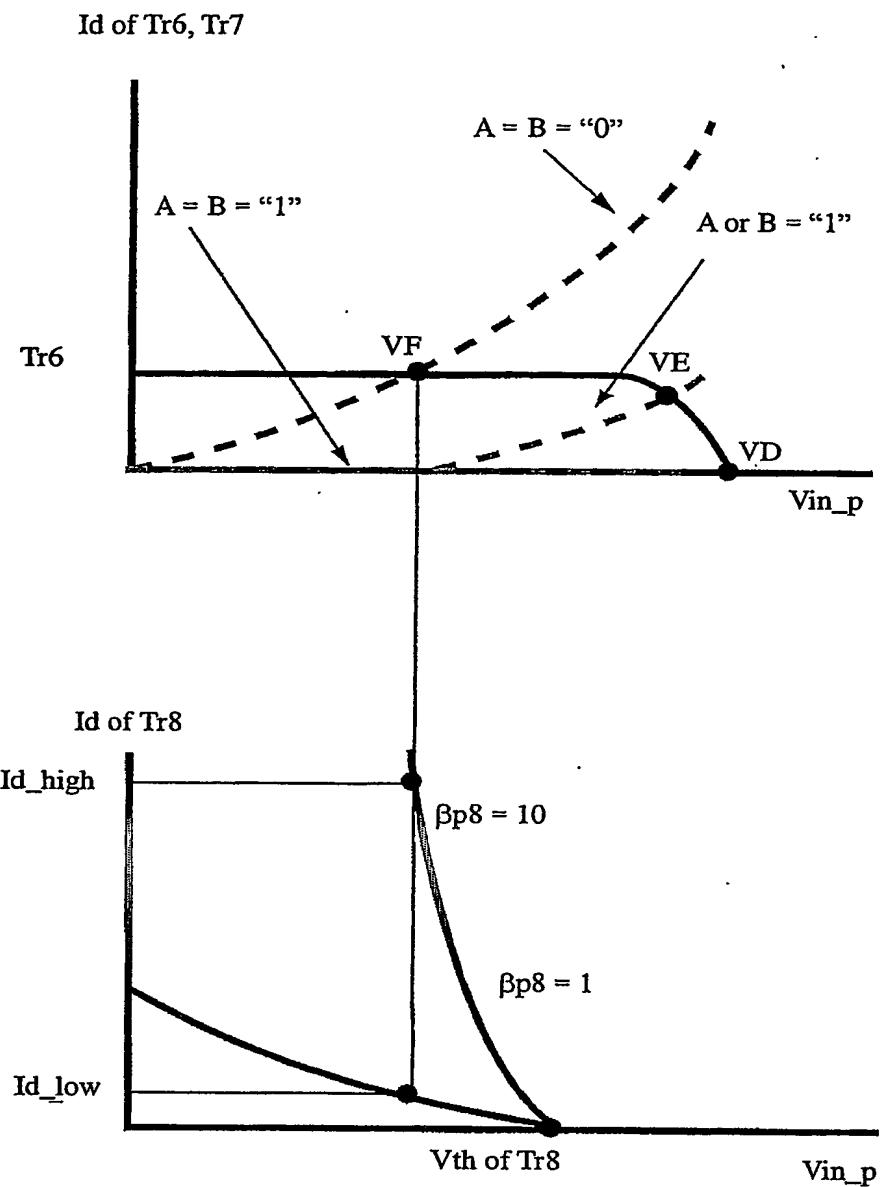
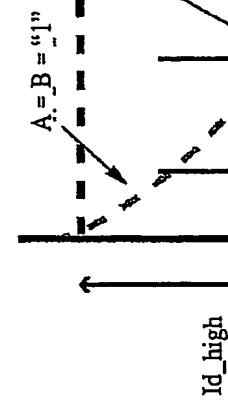


図46

(A)

Id of (Tr1 + Tr8), Tr2



(B)

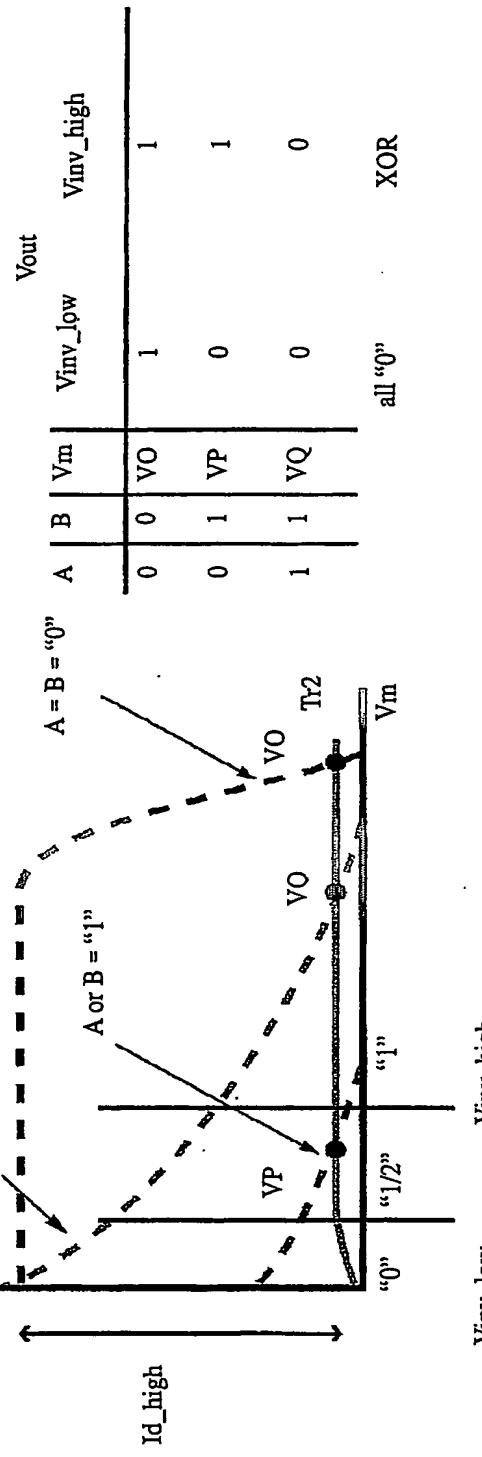
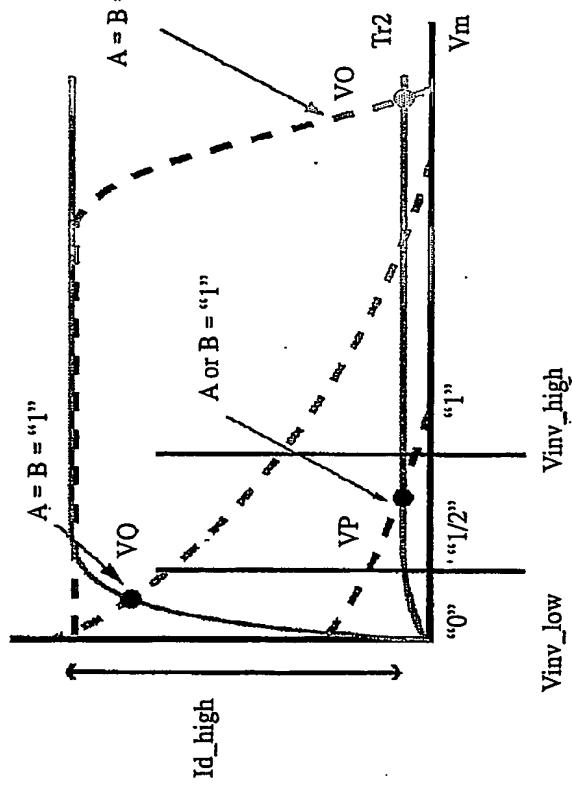


図47

(A)

Id of (Tr1 + Tr8), (Tr2 + Tr5)



(B)

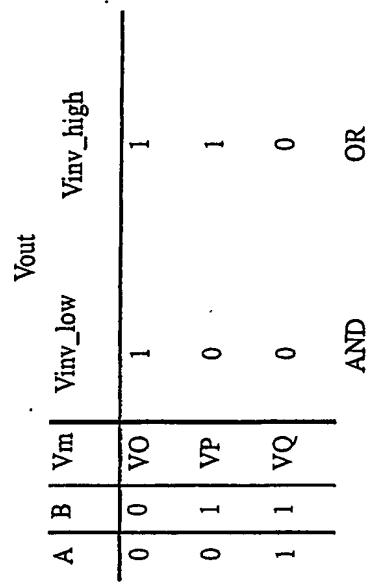


図 48

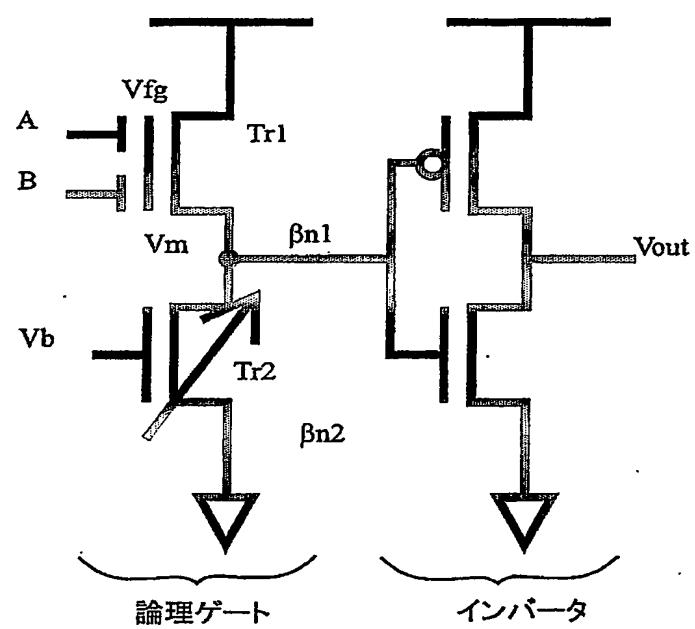
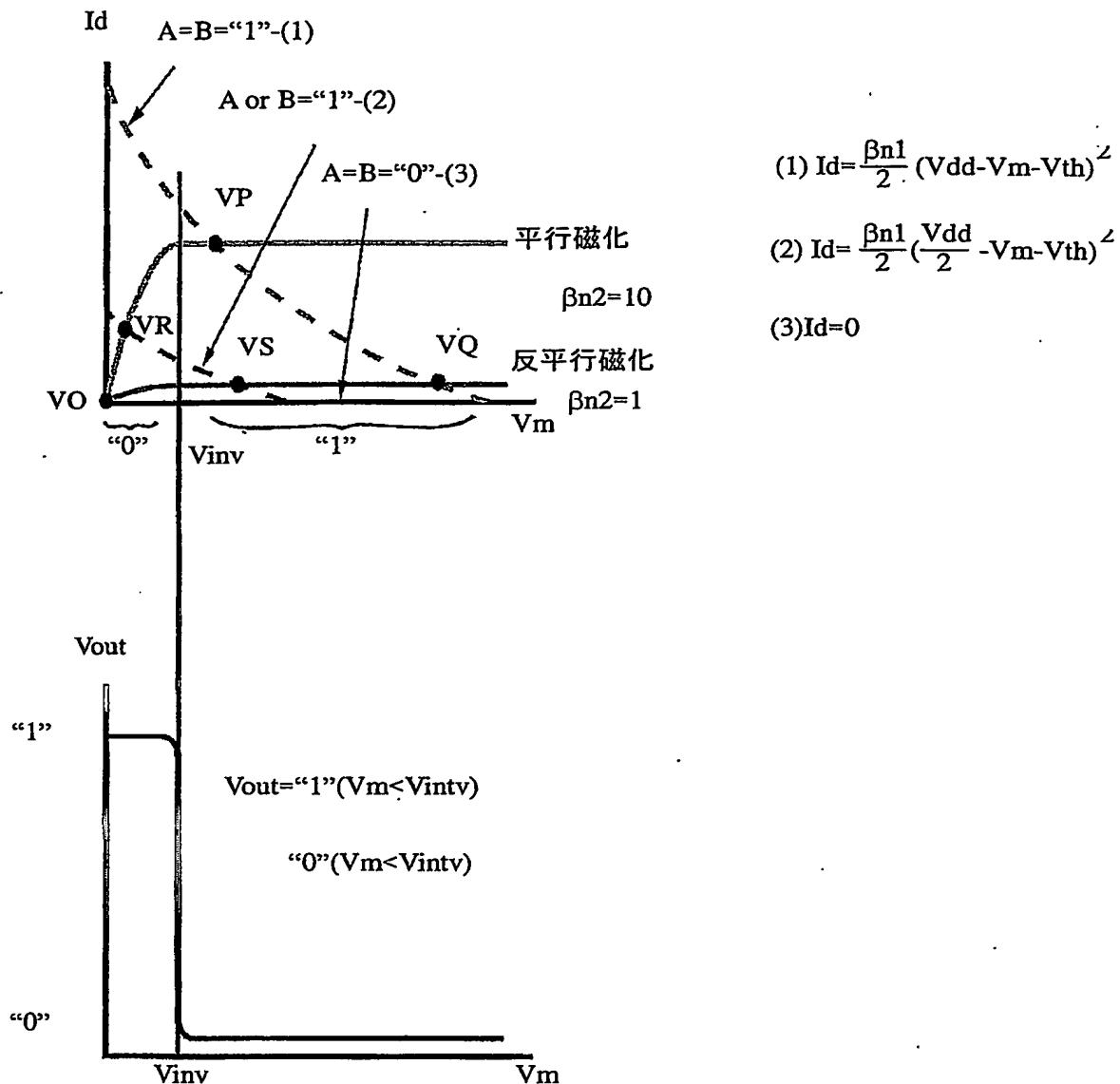


図49



☒ 50

$\beta_{n2}=1$

A	B	Vm	Vout
0	0	VO	1
0	1	VS	0
1	1	VQ	0

NOR

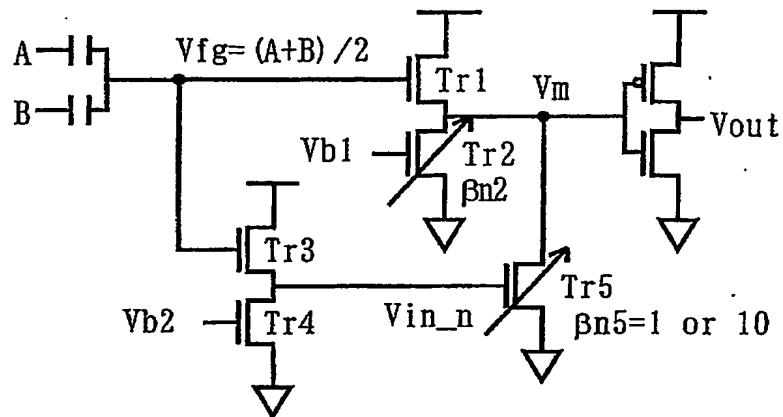
$\beta_{n2}=10$

A	B	Vm	Vout
0	0	VO	1
0	1	VR	1
1	1	VP	0

NAND

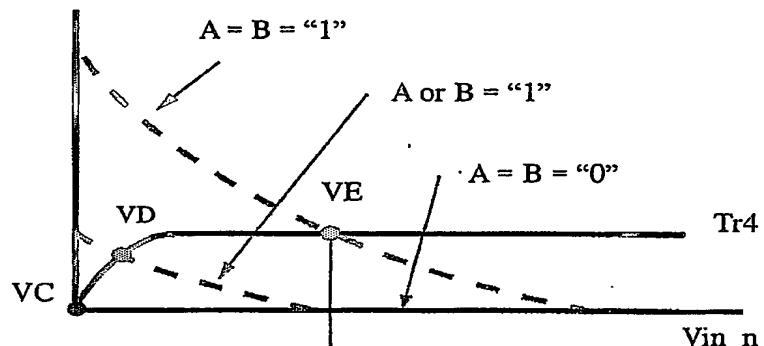
四 51

(A)



(B)

Id of Tr3, Tr4



Id of Tr5

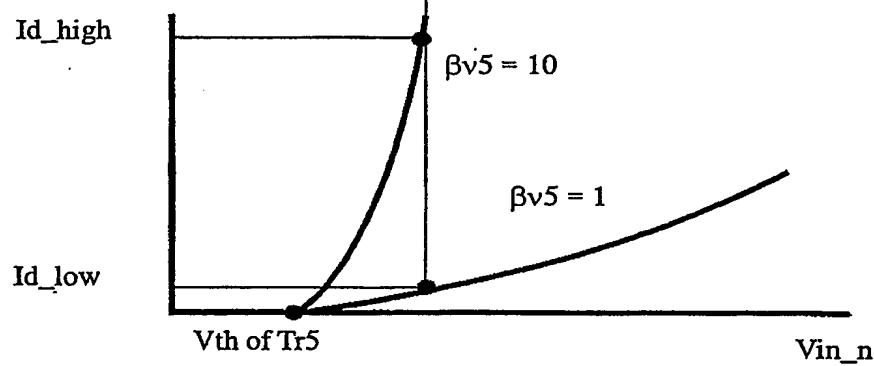
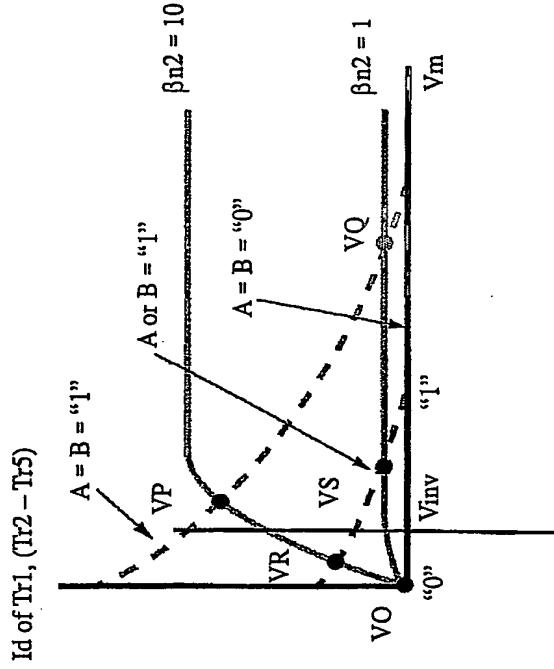


FIG 52

(A)



(B)

		$\beta_{n2} = 1$		$\beta_{n2} = 10$			
A	B	V <sub>m</sub>	V <sub>out</sub>	A	B	V <sub>m</sub>	V <sub>out</sub>
0	0	V <sub>O</sub>	1	0	0	V <sub>O</sub>	1
0	1	V <sub>S</sub>	0	0	1	V <sub>R</sub>	1
1	1	V <sub>Q</sub>	0	1	1	V <sub>P</sub>	0

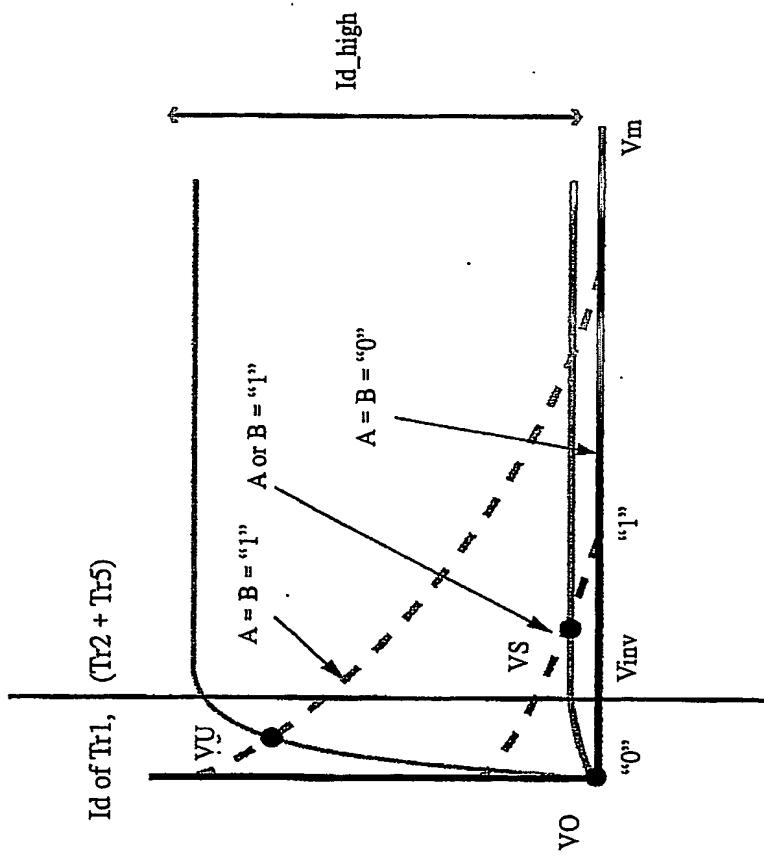
NOR

NAND

 $\beta_{m5} = 1, \beta_{n2} = 1$  or 10

図53

(A)



(B)

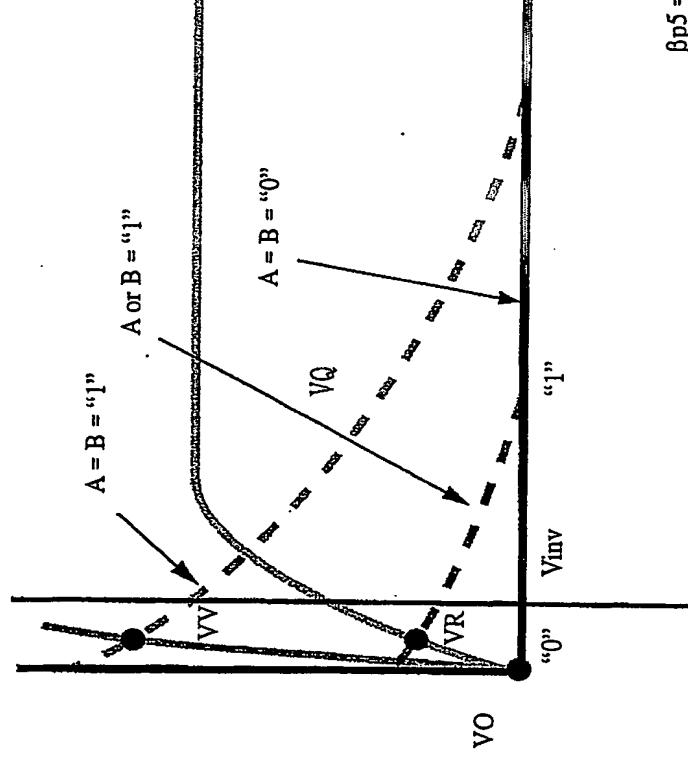
A	B	Vm	Vout
0	0	VO	1
0	1	VS	0
1	1	VU	1

XNOR

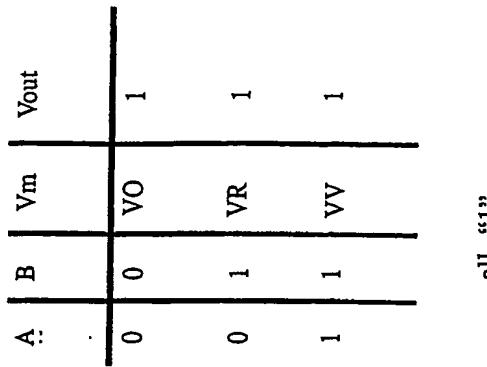
 $\beta_{p5} = 10, \beta_{n2} = 1$

(A)

Id of Tr1, (Tr2 + Tr5)



(B)



$$\beta_{p5} = 10, \beta_{n2} = 10$$

図55

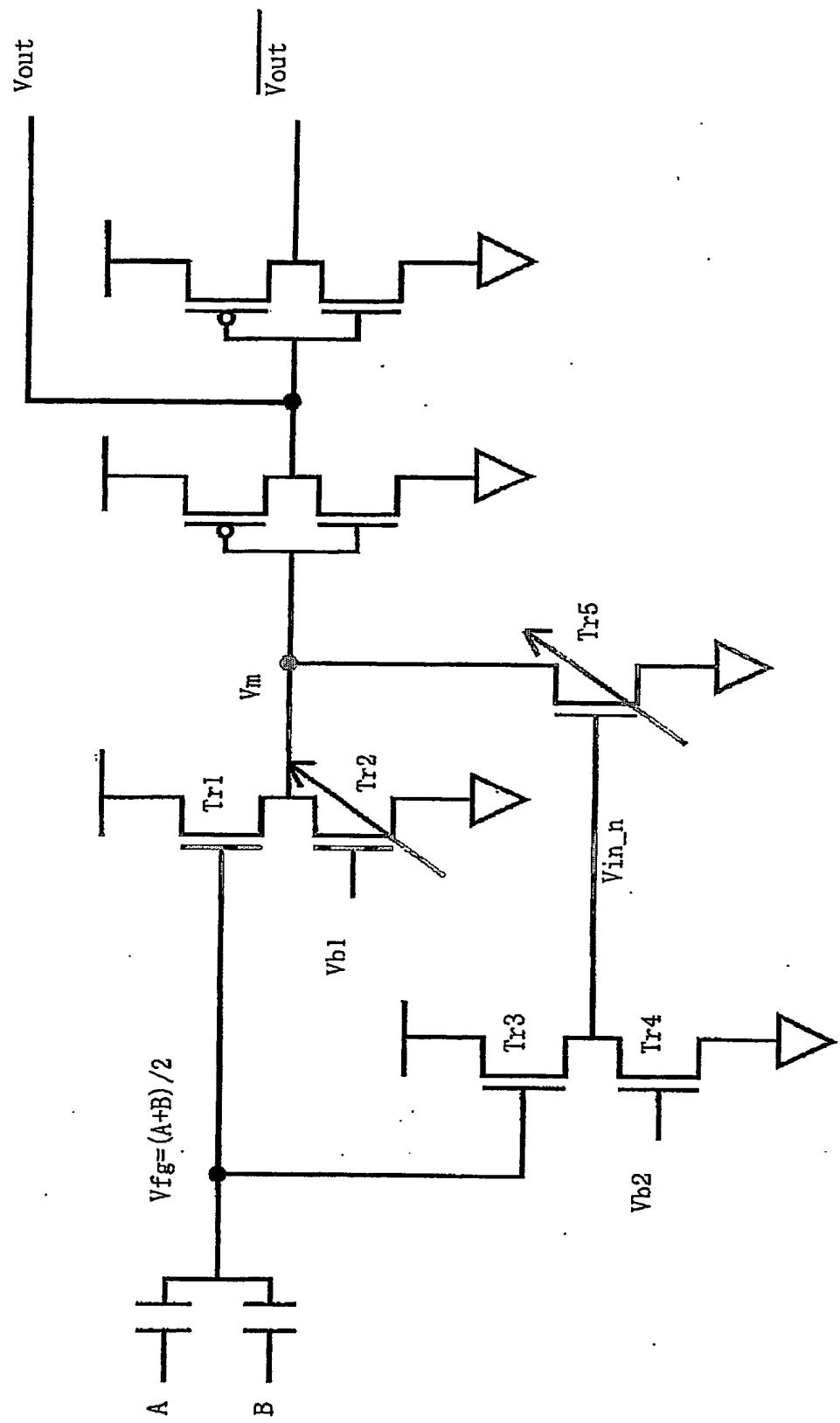


図56

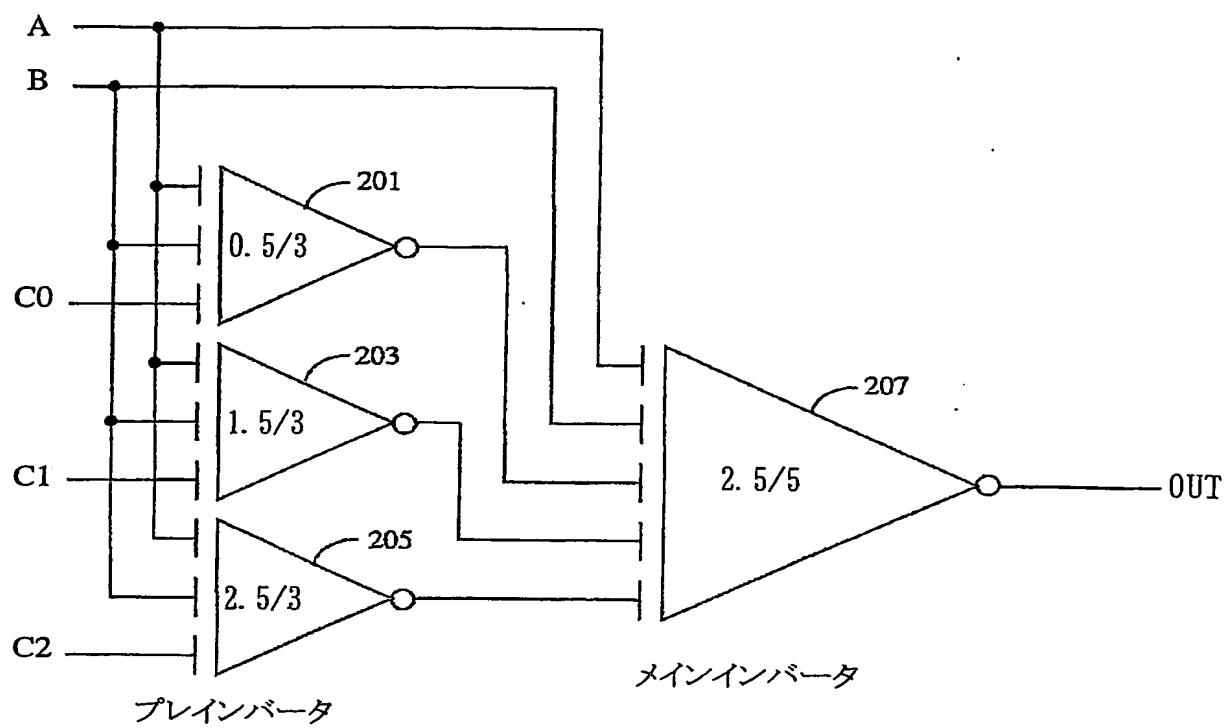
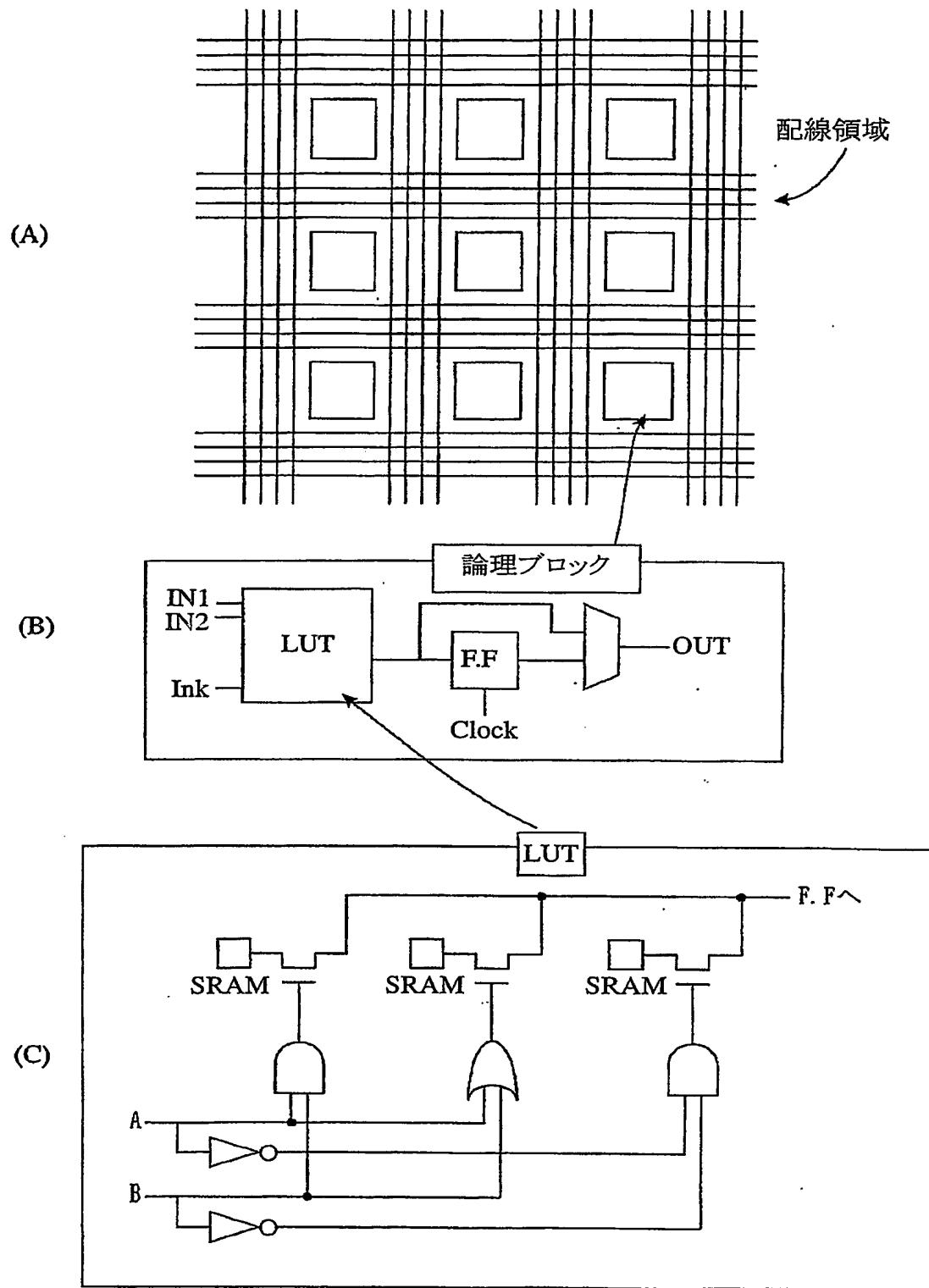


図57



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004379

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H03K19/20

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H03K19/00-19/23Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P	Satoshi SUGAHAWA et al., 'Spin MOSFET to Sono Oyo', The Magnetics Society of Japan Kenkyu Shiryo, 2004, January, Vol.134th, pages 93 to 100	1-45
P	JP 2003-92412 A (Toshiba Corp.), 28 March, 2003 (28.03.03), Fig. 12; columns 7 to 9 (Family: none)	1-45
A	JP 2003-8105 A (Matsushita Electric Industrial Co., Ltd.), 10 January, 2003 (10.01.03), Fig. 5 (Family: none)	1-45

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
19 April, 2004 (19.04.04)Date of mailing of the international search report  
11 May, 2004 (11.05.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004379

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-340542 A (Sanyo Electric Co., Ltd.), 10 December, 1999 (10.12.99), Fig. 1; columns 33 to 35 (Family: none)	1-45
A	JP 2000-349619 A (Nippon Telegraph And Telephone Corp.), 15 December, 2000 (15.12.00), Fig. 19(a), column 43 (Family: none)	43
A	JP 6-250994 A (Nao SHIBATA), 09 September, 1994 (09.09.94), Fig. 3; column 19 & EP 685808 A1	43
A	JP 5-343984 A (Oki Micro Design Miyazaki Co., Ltd.), 24 December, 1993 (24.12.93), Fig. 2; Columns 4 to 5 (Family: none)	44
A	JP 61-234623 A (NEC IC Miconsystem Kabushiki Kaisha), 18 October, 1986 (18.10.86), Fig. 1; page 4, upper left column, line 7 to upper right column, line 2 (Family: none)	44

A. 発明の属する分野の分類（国際特許分類（IPC））  
Int. C17 H03K 19/20

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））  
Int. C17 H03K 19/00 - 19/23

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
日本国公開実用新案公報 1971-2004年  
日本国登録実用新案公報 1994-2004年  
日本国実用新案登録公報 1996-2004年

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P	菅原 聰 他, 「スピニMOSFETとその応用」, 日本応用磁気学会研究資料, 2004 Jan., Vol. 134th, Pages 93 to 100	1-45
P	J P 2003-92412 A (株式会社東芝) 2003. 03. 28, 図12、本文 第7欄~第9欄 (ファミリーなし)	1-45
A	J P 2003-8105 A (松下電器産業株式会社) 2003. 01. 10, 図5 (ファミリーなし)	1-45

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

19. 04. 2004

国際調査報告の発送日

11. 5. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

彦田 克文

5 X 9182

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	J P 11-340542 A (三洋電機株式会社) 1999. 12. 10、図1、本文第33欄～第35欄 (ファミリーなし)	1-45
A	J P 2000-349619 A (日本電信電話株式会社) 2000. 12. 15、図19 (a)、本文第43欄 (ファミリーなし)	43
A	J P 6-250994 A (柴田 直) 1994. 09. 09、図3、本文第19欄 & EP 685808 A1	43
A	J P 5-343984 A (株式会社沖マイクロデザイン宮崎) 1993. 12. 24、図2、本文第4欄～第5欄 (ファミリーなし)	44
A	J P 61-234623 A (日本電気アイシーマイコンシステム株式会社) 1986. 10. 18、図1、本文第4頁左上欄第7行～右上欄第2行 (ファミリーなし)	44